

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043419

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H01L 21/768

(21)Application number : 2000-222414

(71)Applicant : NEC CORP

(22)Date of filing : 24.07.2000

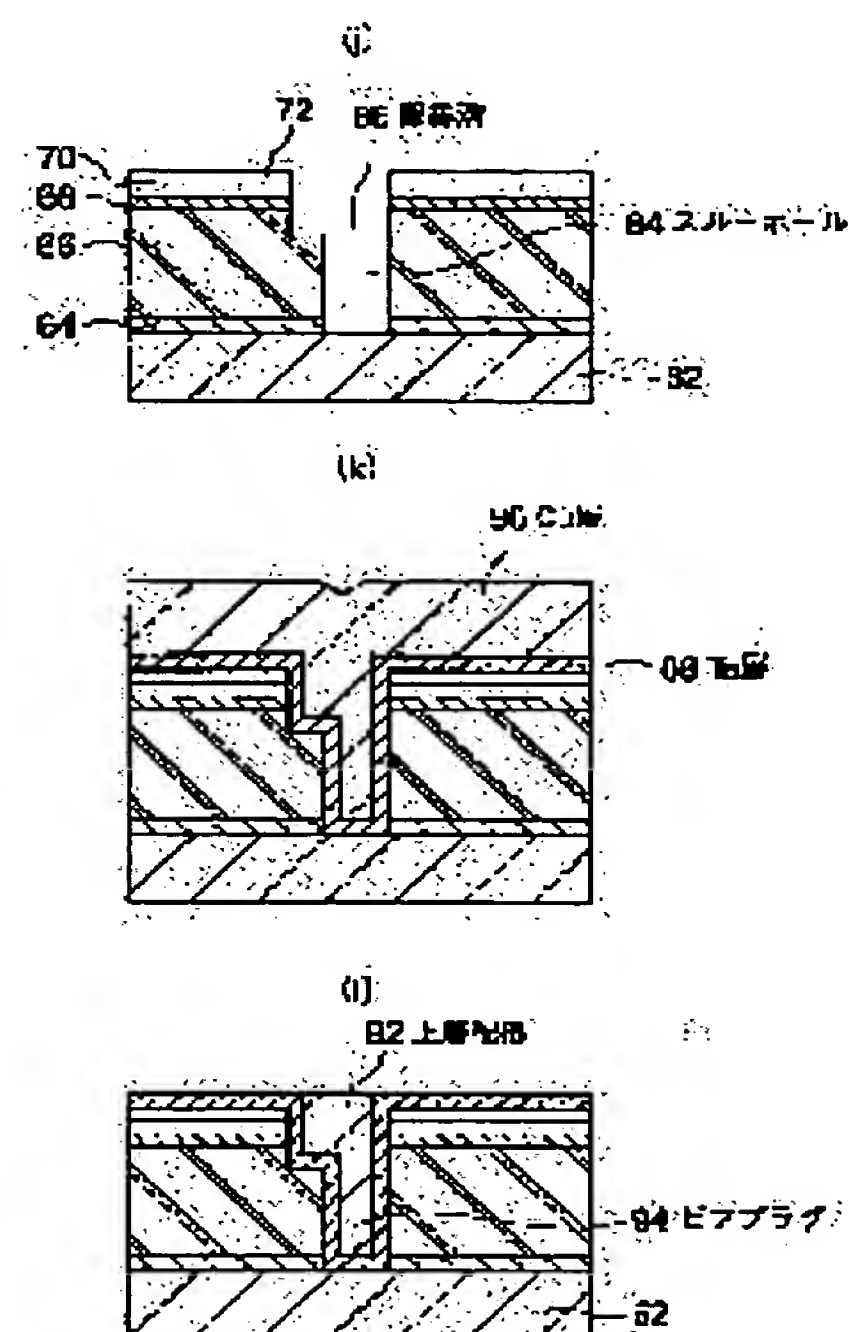
(72)Inventor : USAMI TATSUYA

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for preventing non-conforming devices from being manufactured due to pattern misalignment in manufacturing a semiconductor device to form a buried interconnection using a dual-damascene method.

SOLUTION: A diffusion prevention insulating film 64 and a low dielectric insulating film 66 are formed on a copper layer 62 and three hard mask layers 68, 70 and 72 having different etching rates are formed thereon. The mask 68 is exposed by patterning the mask 72 and by etching a top portion of a through-hole 84, then the through-hole 84 is opened with the mask 70 until the insulating film 64 is exposed after removing only the mask 72 overlying a trench with an interconnection 86 and fixing the position, sequentially the opening is completed by etching the masks 70, 68 and the low dielectric insulating film 66 in the trench with the interconnect portion and by etching the diffusion prevention insulating film 64 at the bottom of the through-hole. A Ta barrier metal layer 88 is formed, a copper layer 90 is deposited thereon, and the top surface thereof is polished, then a via plug 94 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-43419

(P2002-43419A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl.⁷

識別記号

F I

テーマコード*(参考)

H 0 1 L 21/768

H 0 1 L 21/90

A 5 F 0 3 3

J

審査請求 未請求 請求項の数8 O L (全 19 頁)

(21)出願番号 特願2000-222414(P2000-222414)

(22)出願日 平成12年7月24日(2000.7.24)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096231

弁理士 稲垣 清

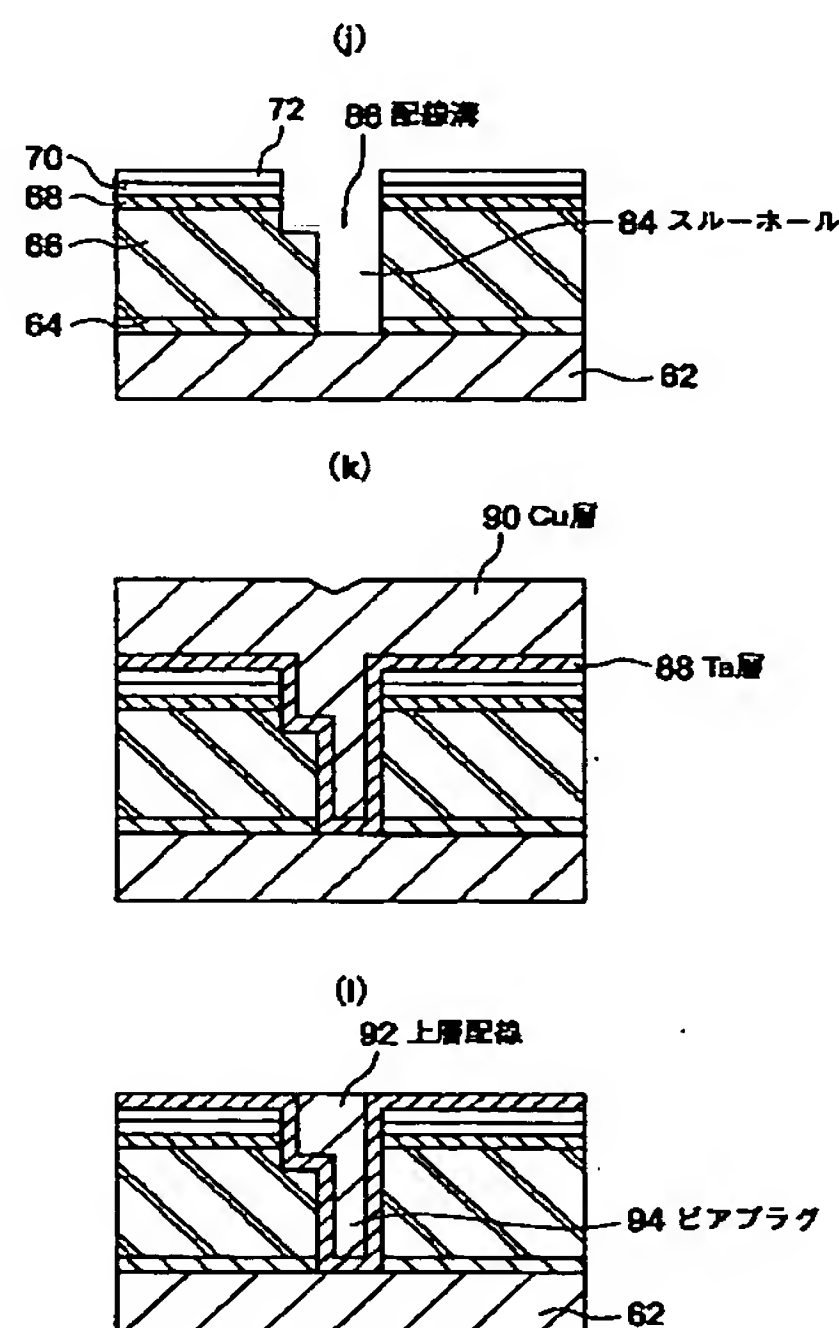
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法及び半導体装置

(57)【要約】 (修正有)

【課題】デュアル・ダマシン法による埋め込み配線を形成する半導体装置の製造時に生ずるパターン位置ずれによる不良品を発生しない方法の提供。

【解決手段】Cu層62上に拡散防止絶縁膜64、低誘電率絶縁膜66を成膜し、その上にそれぞれエッチングレートの異なる3層のハードマスク68、70、72をを形成する。マスク72をパターンニングしてスルーホール84上部位置をエッチングしてマスク68を露出し、次いで配線溝86上部のマスク72のみを除去して位置決めを確定した後マスク70によりスルーホール84を絶縁膜64が露出するまで開口し、続いてマスク72により配線溝86部のマスク70、68及び低誘電率絶縁膜66とスルーホール底の拡散防止絶縁膜64をエッチングして開口を終る。バリアメタルTa層88を成膜しCu層90を堆積して上面を研磨して上層配線92、ビアプラグ94を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に第1の配線とその上層の第2の配線とを備え、第1及び第2の配線間にスルーホールが形成されている半導体装置の製造方法において、第2の配線及びスルーホールを形成する際、

第1の配線上の層間膜として、順次、第1の配線の配線金属の拡散防止膜として機能する第1の絶縁膜と、低誘電率膜層からなる第2の絶縁膜とを形成する絶縁膜成膜工程と、

第2の絶縁膜上に成膜された少なくとも3層以上の絶縁ハードマスク層で構成され、かつ、それらの3層の絶縁ハードマスク層は同じエッチング条件ではエッチングレートが相互に異なる多層ハードマスク層であって、第2の絶縁膜上に、順次、第1の絶縁ハードマスク層、第2の絶縁ハードマスク層及び第3の絶縁ハードマスク層を成膜する多層ハードマスク層の成膜工程と、

第3及び第2のハードマスク層をエッチングして、スルーホールパターンである第1の開口部をセルフアラインで第1のハードマスク上に形成する第1の開口部形成工程と、

第3のハードマスク層をエッチングして、第2の配線の配線溝パターンであって、第1の開口部に連通する第2の開口部を第2のハードマスク層上に形成する第2の開口部形成工程と、

第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングするステップと、更に第2の絶縁膜をエッチングするステップとを有して、第1及び第2の開口部に連通し、かつ第1の絶縁層を露出させる第3の開口部を形成する第3の開口部形成工程と、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の絶縁膜の上部をエッチングして、第2の配線の配線溝を形成すると共に第1の絶縁層をエッチングして、第1の配線を露出させるスルーホールを開口する第2の配線の配線溝／スルーホール形成工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 絶縁膜成膜工程では、低誘電率層からなる第2の絶縁膜に際し、順次、第1の低誘電率層、第2のハードマスク層と同じ組成の電気絶縁性エッチングストッパ層、及び第2の低誘電率層とを成膜し、

第3の開口部形成工程では、第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングして第2の低誘電率層を露出させるステップと、第2の低誘電率層をエッチングしてエッチングストッパ層を露出させるステップと、更にエッチングストッパ層をエッチングするステップとを有し、

配線溝／スルーホール形成工程では、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の低誘電率層をエッチングしてエッチングストッパ層を露出させて第2の

配線の配線溝を形成し、更に、第1の絶縁膜をエッチングして、第1の配線を露出させるスルーホールを開口することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 絶縁膜成膜工程では、低誘電率層からなる第2の絶縁膜として、第2のハードマスク層と同じ組成の絶縁膜及び低誘電率層を成膜し、

第3の開口部形成工程では、第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングして低誘電率層を露出させるステップと、低誘電率層及び絶縁膜をエッチングして第1の絶縁膜を露出させるステップとを有して、第1及び第2の開口部に連通し、かつ第1の絶縁膜を露出させる第3の開口部を形成し、

配線溝／スルーホール形成工程では、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び低誘電率層をエッチングして絶縁膜を露出させて第2の配線の配線溝を形成し、更に、第1の絶縁膜をエッチングして、第1の配線を露出させるスルーホールを開口することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 第1のハードマスク層として第1の絶縁膜と同じ組成の絶縁膜を成膜することを特徴とする請求項1から3のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項5】 第1の開口部形成工程では、第3のハードマスク層上に第1の反射防止膜を成膜し、次いで第1の反射防止膜上にスルーホール・パターンを有する第1のエッチングマスクを形成し、先ず、第1の反射防止膜、続いて第3及び第2のハードマスク層をエッチングすることを特徴とする請求項1から4のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項6】 第2の開口部形成工程では、第3のハードマスク層上に第2の反射防止膜を成膜して、第1の開口部を埋め、次いで第2の反射防止膜上に第2の配線形成用の配線溝パターンを有する第2のエッチングマスクを第2の反射防止膜上に形成し、先ず、第2の反射防止膜、続いて第3のハードマスク層をエッチングすることを特徴とする請求項1から5のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項7】 第1の配線がCu層、第1のハードマスク層がSiC膜、第2のハードマスク層がSiO₂膜、及び第3のハードマスク層がSiN膜であることを特徴とする請求項1から6のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項8】 半導体基板上に、第1の配線と、第1の配線上に設けられた絶縁膜と、絶縁膜に設けられた配線溝を埋め込んで形成された第2の配線とを備え、第1及び第2の配線間に絶縁膜を貫通するスルーホールが形成されている半導体装置において、

10

20

30

40

50

第1の配線及び第2の配線との間に介在する絶縁膜が、第1の配線上に、順次、成膜された、第1の配線の配線金属の拡散防止膜として機能する第1の絶縁膜と、低誘電率膜層からなる第2の絶縁膜を有し、第2の絶縁膜上には、少なくとも3層以上の異種組成の絶縁膜が設けられ、第2の配線の配線溝は、少なくとも3層以上の異種組成の絶縁膜を貫通して、第2の絶縁膜に達し、かつスルーホールに連通することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、更には配線の微細化の要求に対応した、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体装置の微細化及び高集積化の要求に伴い、配線層の微細化の要求が高まり、デュアル・ダマシン法による埋め込み配線の形成が注目されている。また、配線の微細化に伴う信号伝達遅延を防止するために、埋め込み配線の形成と共に低誘電率層（以下、Low-k層という）を層間絶縁膜とする配線構造の採用が注目されている。ところで、Low-k層を層間絶縁膜にすると共に、デュアル・ダマシン法により埋め込み配線を形成する方法として、従来、二つの方法が、提案され、実施されつつある。

【0003】従来の第1の方法

ここで、図15から図17を参照して、Low-k層を層間絶縁膜にすると共に、デュアル・ダマシン法によって埋め込み配線を形成する従来の方法（以下、従来の第1の方法と言う）を説明する。図15（a）から（c）、図16（d）と（e）、及び図17（f）と（g）は、それぞれ、従来の第1の方法に従って埋め込み配線を形成した際の工程毎の断面図である。従来の第1の方法では、まず、スルーホールを開口し、次いで上層配線用の配線溝を形成する。

【0004】まず、図15（a）に示すように、下層配線として形成されたCu層12上にプラズマCVD法によって膜厚50nmのP-SiN膜14をCu原子の拡散防止膜として成膜する。次いで、層間絶縁膜として膜厚700nmのLow-k層16を成膜し、更にプラズマCVD法によって膜厚100nmのP-SiO₂膜18を成膜する。次いで、図15（b）に示すように、P-SiO₂膜18上に膜厚100nmの第1の反射防止膜（以下、第1のARC膜と言う）20を成膜し、更に、第1のARC膜20上に膜厚600nmのフォトリソト膜を塗布し、スルーホール・パターンを有するエッチングマスク22を形成する。次に、エッチングマスク22を使って、第1のARC膜20、P-SiO₂膜18をフロロカーボン系ガスでドライエッチング加工を行

ストのエッチングマスク22、エッチングマスク22の下第1のARC膜、P-SiO₂膜18を加工した領域のLow-k膜16を同時に加工する。このエッチングでフォトリソトのエッチングマスク22及び第1のARC膜20は完全に除去される。

【0005】次いで、図16（d）に示すように、ホール24を埋め込みつつ、P-SiO₂膜18全面に第2のARC膜26を成膜し、更に、第2のARC膜26上にフォトリソト膜28を塗布、成膜する。次いで、図16（e）に示すように、フォトリソト膜28をパターンニングして、上層配線用の配線溝パターンを有するエッチングマスク30を形成する。

【0006】続いて、フロロカーボン系ガスをエッチングガスとして、エッチングマスク30を使って第2のARC膜26、P-SiO₂膜18を加工し、さらにLow-k膜をエッチング加工する。この時フォトリソトによるエッチングマスク30及びその下の第1のARC膜20を完全に除去し、図17（f）及び（g）のようにする。その後、Cu層12の上のP-SiN層14をエッチングし、図17（h）に示すように、スルーホール32を開口する。

【0007】続いて、スルーホール32及び配線溝34の壁、並びにP-SiO₂膜18上にバリヤメタル層を形成し、更にCu層を堆積して、スルーホール32及び配線溝34をCu層で埋め込む。次いで、CMP法でP-SiO₂膜18上のCu層及びバリヤメタル層を除去すると、スルーホールを介して下層のCu層12と接続した埋め込み上層配線を形成することができる。

【0008】従来の第2の方法

次に、図18から図20を参照して、Low-k層を層間絶縁膜にすると共に、デュアル・ダマシン法によって埋め込み配線を形成する別の従来の方法（以下、第2の従来の方法と言う）を説明する。図18（a）から（c）、図19（d）から（f）、及び図20（g）から（i）は、それぞれ、従来の第2の方法に従って配線を形成した際の工程毎の断面図である。従来の第2の方法では、まず、配線溝を形成し、次いでスルーホールを形成する。

【0009】まず、図18（a）に示すように、下層配線として形成されたCu層36上に、順次、Cu原子の拡散防止膜として膜厚50nmのP-SiN膜38を、次いで層間絶縁膜として膜厚700nmのLow-k層40を、ハードマスク層として、それぞれ、膜厚50nmのP-SiO₂膜42及びP-SiN膜44を成膜する。次いで、図18（b）に示すように、P-SiN膜44上に、膜厚400nmのフォトリソト膜を塗布し、上層配線の配線溝パターンを有するエッチングマスク46を形成する。尚、フォトリソト膜の成膜前にARC膜を成膜しても良い。次に、エッチングマスク46を使って、図18（c）に示すように、P-SiN膜4

4をエッチングして、P-SiO₂膜42を一部露出させる、上層配線用の配線溝と同じ開口径の開口部47を形成する。

【0010】続いて、図19(d)に示すように、O₂プラズマアッシング法によって、エッチングマスク46を除去し、P-SiN膜44を露出させる。次いで、図19(e)に示すように、フォトレジスト膜を塗布し、パターンニングして、スルーホール開口用のエッチングマスク48を形成する。次に、図19(f)に示すように、P-SiO₂膜42をエッチングして、Low-k層40を一部露出させたホール50を開口する。

【0011】続いて、エッチングマスク48を使って、Low-k層40をエッチングして、P-SiN膜38を露出させたホール52Aを開口した後、図20(g)に示すように、Low-k膜加工と同時にフォトレジストのエッチングマスクを除去する。次にP-SiN膜44をエッチングマスクにして、P-SiO₂膜42及びLow-k層40をエッチングして、図20(h)に示すように上層配線用の配線溝54を形成する。更に、Low-k層40をエッチングマスクにして、P-SiN膜38をエッチングし、図20(i)に示すように、配線溝54に連通し、Cu層36を一部露出させたスルーホール52を開口する。

【0012】続いて、スルーホール52及び配線溝54の壁、並びにP-SiO₂膜44上にバリヤメタル層を形成し、更にCu層を堆積して、スルーホール52及び配線溝54をCu層で埋め込む。次いで、CMP法でP-SiO₂膜44上のCu層及びバリヤメタル層を除去すると、ビアプラグを介して下層のCu層36と接続した埋め込み配線を形成することができる。

【0013】

【発明が解決しようとする課題】しかし、上述した従来の第1及び第2の方法には、それぞれ、以下のような問題があった。従来の第1の方法では、配線溝パターンがスルーホールパターンに対して位置ずれ生じている場合、ウェハを廃棄せざるを得ないので、生産性の向上が難しいことである。図21(a)に示すように、エッチングマスク30を形成した際、エッチングマスク30の上層配線用の配線溝パターンが、ホール32A(スルーホール32の上部)と位置ずれが生じることがある。しかし、層間絶縁膜としてLow-k層を使っているので、エッチングマスクの配線溝パターンとスルーホールのパターンとの間に、一旦、位置ずれが生じると、エッチングマスクの位置ずれを修正したり、再工事することが難しく、しかも、位置ずれが生じたチップ領域を有するウェハは、廃棄せざるを得ない。それは、位置ずれの生じているエッチングマスク30をO₂プラズマアッシング法によって除去しようとする、図21(b)に示すように、Low-k層16をエッチングしてしまい、層間絶縁膜内に空洞が生じるからである。

【0014】また、従来の第2の方法では、図22

(a)に示すように、エッチングマスク48のスルーホール・パターンの位置が開口部47(配線溝54と同じパターンで同じ開口径)に対して位置ずれしていると、P-SiO₂膜42をエッチングして開口したホール50(スルーホール52と同じパターンで同じ開口径)の開口径が小さくなる。その結果、図22(b)に示すように、スルーホール52を形成した際、スルーホール52の開口径が小さくなり、しかも、配線溝54の縁に偏して位置する。そのために、スルーホール52の壁にバリヤメタル層としてTa層56を成膜する際のカバリッジが悪くなる。そして、図22(c)に示すように、Ta層56の一部の膜厚が著しく薄くなり、また、スルーホール52及び配線溝54をCu層58で埋め込んだ際、ボイドが生じて、コンタクト抵抗が増大したり、更には、導通不良が生じる。

【0015】ところで、上述したような、エッチングマスクの上層配線用の配線溝パターンが、既に形成されているスルーホールに対して位置ずれしたり、或いは、エッチングのスルーホール・パターンが、既に形成されている上層配線溝に対して位置ずれしたりすることは、配線の微細化と共に位置合わせマージンが減少するので、しばしば、生じる。その度に、ウェハを廃棄したり、或いは導通不良による不合格製品の発生を招いたりすることは、製品歩留り上で、極めて好ましくないことである。

【0016】そこで、本発明の目的は、高い製品歩留りで、デュアル・ダマシン法によって、埋め込み配線を形成する方法を提供することである。

30 【0017】

【課題を解決するための手段】本発明者は、先ず、スルーホールのパターンを形成し、次いで配線溝のパターンを形成する手順方が、配線溝のパターンを形成し、次いでスルーホールのパターンを形成する手順より位置ずれが生じ難いことに注目し、かつ、トリプル・ハードマスクを使用することにより、位置ずれが生じているエッチングマスクであっても、O₂プラズマアッシングによって除去できるようにすること、を着想して、実験を重ねて、本発明を発明するに至った。

40 【0018】上記目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板上に第1の配線とその上層の第2の配線とを備え、第1及び第2の配線間にスルーホールが形成されている半導体装置の製造方法において、第2の配線及びスルーホールを形成する際、第1の配線上の層間膜として、順次、第1の配線の配線金属の拡散防止膜として機能する第1の絶縁膜と、低誘電率膜層からなる第2の絶縁膜とを形成する絶縁膜成膜工程と、第2の絶縁膜上に成膜された少なくとも3層以上の絶縁ハードマスク層で構成され、かつ、それらの3層の絶縁ハードマスク層は同じエッチング条件ではエッ

チングレートが相互に異なる多層ハードマスク層であって、第2の絶縁膜上に、順次、第1の絶縁ハードマスク層、第2の絶縁ハードマスク層及び第3の絶縁ハードマスク層を成膜する多層ハードマスク層の成膜工程と、第3及び第2のハードマスク層をエッチングして、スルーホールパターンである第1の開口部をセルフアラインで第1のハードマスク上に形成する第1の開口部形成工程と、第3のハードマスク層をエッチングして、第2の配線の配線溝パターンであって、第1の開口部に連通する第2の開口部を第2のハードマクス層上に形成する第2の開口部形成工程と、第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングするステップと、更に第2の絶縁膜をエッチングするステップとを有して、第1及び第2の開口部に連通し、かつ第1の絶縁層を露出させる第3の開口部を形成する第3の開口部形成工程と、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の絶縁膜の上部をエッチングして、第2の配線の配線溝を形成すると共に第1の絶縁層をエッチングして、第1の配線を露出させるスルーホールを開口する第2の配線の配線溝／スルーホール形成工程とを有することを特徴としている。

【0019】本発明方法では、第3のハードマスク層は配線溝形成の際のエッチングマスクとして機能し、第2のハードマスク層はスルーホール形成の際のエッチングマスクとして機能する。第1のハードマスク層は、第2の開口部形成工程の後、第2の開口部形成に使ったエッチングマスクを除去する際の低誘電率層保護膜としての機能を有する。即ち、第2の開口部形成工程の後、第2の開口部形成に使ったエッチングマスクを除去する際、低誘電率層上に第1のハードマスク層が存在するので、エッチングマスクの位置決めの際に位置ずれがあっても、従来の第1の方法のように低誘電率層をエッチングすることなく、除去することができる。本発明方法で、ハードマスク層とは、パターンニングすることにより、エッチングの際にエッチングマスクとして機能する層を言う。

【0020】本発明の別の実施態様は、絶縁膜成膜工程では、低誘電率層からなる第2の絶縁膜に際し、順次、第1の低誘電率層、第2のハードマスク層と同じ組成の電気絶縁性エッチングストッパ層、及び第2の低誘電率層とを成膜し、第3の開口部形成工程では、第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングして第2の低誘電率層を露出させるステップと、第2の低誘電率層をエッチングしてエッチングストッパ層を露出させるステップと、更にエッチングストッパ層をエッチングするステップとを有し、配線溝／スルーホール形成工程では、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の低誘電率層をエッチン

グしてエッチングストッパ層を露出させて第2の配線の配線溝を形成し、更に、第1の絶縁膜をエッチングして、第1の配線を露出させるスルーホールを開口する。

【0021】本実施態様では、層間絶縁膜の配線溝の底面設定位置にエッチングストッパ層を設けることにより、配線溝のエッチング制御性を向上させることができる。

【0022】本発明の更に別の実施態様は、絶縁膜成膜工程では、低誘電率層からなる第2の絶縁膜として、第2のハードマスク層と同じ組成の絶縁膜及び低誘電率層を成膜し、第3の開口部形成工程では、第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングして低誘電率層を露出させるステップと、低誘電率層及び絶縁膜をエッチングして第1の絶縁膜を露出させるステップとを有して、第1及び第2の開口部に連通し、かつ第1の絶縁膜を露出させる第3の開口部を形成し、配線溝／スルーホール形成工程では、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び低誘電率層をエッチングして絶縁膜を露出させて第2の配線の配線溝を形成し、更に、第1の絶縁膜をエッチングして、第1の配線を露出させるスルーホールを開口する。

【0023】本実施態様では、エッチングストッパ層として機能する第2のハードマスク層と同じ組成の絶縁膜を層間絶縁膜の配線溝の底面設定位置にまで成膜することにより、配線溝のエッチング制御性を向上させることができる。

【0024】本発明の好適な実施態様では、第1のハードマスク層として第1の絶縁膜と同じ組成の絶縁膜を成膜する。また、第1の開口部形成工程では、第3のハードマスク層上に第1の反射防止膜を成膜し、次いで第1の反射防止膜上にスルーホール・パターンを有する第1のエッチングマスクを形成し、先ず、第1の反射防止膜、続いて第3及び第2のハードマスク層をエッチングする。更には、第2の開口部形成工程では、第3のハードマスク層上に第2の反射防止膜を成膜して、第1の開口部を埋め、次いで第2の反射防止膜上に上層配線形成用の配線溝パターンを有する第2のエッチングマスクを第2の反射防止膜上に形成し、先ず、第2の反射防止膜、続いて第3のハードマスク層をエッチングする。

【0025】本発明では、下層配線の配線金属の種類、低誘電率層の組成、第1から第3のハードマスク層の組成には、制約はなく、例えば、下層配線がCu層、第1のハードマスク層がSiC膜、第2のハードマスク層がSiO₂膜、及び第3のハードマスク層がSiN膜である。

【0026】本発明に係る半導体装置は、半導体基板上に、第1の配線と、第1の配線上に設けられた絶縁膜と、絶縁膜に設けられた配線溝を埋め込んで形成された第2の配線とを備え、第1及び第2の配線間に絶縁膜を

貫通するスルーホールが形成されている半導体装置において、第1の配線及び第2の配線との間に介在する絶縁膜が、第1の配線上に、順次、成膜された、第1の配線の配線金属の拡散防止膜として機能する第1の絶縁膜と、低誘電率膜層からなる第2の絶縁膜を有し、第2の絶縁膜上には、少なくとも3層以上の異種組成の絶縁膜が設けられ、第2の配線の配線溝は、少なくとも3層以上の異種組成の絶縁膜を貫通して、第2の絶縁膜に達し、かつスルーホールに連通することを特徴としている。

【0027】

【発明の実施の形態】以下に、添付図面を参照し、実施形態例を挙げて本発明の実施の形態を具体的かつ詳細に説明する。

実施形態例1

本実施形態例は、本発明に係る半導体装置の製造方法の実施形態の一例であって、図1(a)から(c)、図2(d)から(f)、図3(g)から(i)、及び図4(j)から(l)は、それぞれ、本実施形態例の方法に従って配線を形成した際の工程毎の断面図である。先ず、図1(a)に示すように、下層配線として形成されたCu層62上に、プラズマCVD法によって膜厚50nmのP-SiC膜64を成膜し、次いで層間絶縁膜として膜厚800nmの低誘電率層を(以下、Low-k層と言う)66を成膜し、更に、プラズマCVD法によって、それぞれ、膜厚50nmの、P-SiC膜68、P-SiO₂膜70、及びP-SiN膜72を、順次、成膜し、トリプル・ハードマスクを形成する。P-SiC膜64は、Cu層62のCu原子の拡散防止膜として機能する。実施形態例2及び3でも、下層配線のCu層上のP-SiC膜の機能は同じである。また、Low-k層として、例えばダウケミカル社のSiLK、ハネウェル社のPLARBなどの有機ポリマーを使う。

【0028】次いで、図1(b)に示すように、P-SiN膜72上に、膜厚100nmの第1の反射防止膜(以下、第1のARC膜と言う)74を成膜した後、膜厚400nmのフォトリソ膜を成膜し、次いでスルーホール・パターンを有するエッチングマスク76を形成する。第1のARC膜には、例えばノボラック樹脂タイプを使う。次に、エッチングマスク76を使い、かつエッチングガスとしてC、F₂とCOとO₂とArとの混合ガスを使って、図1(c)に示すように、第1のARC膜74、P-SiN膜72及びP-SiO₂膜70をエッチングして、P-SiC膜68を露出させた、スルーホールと同じ開口径の第1の開口部78をP-SiC膜68上に形成する。

【0029】次いで、O₂プラズマアッシング法によって、図2(d)に示すように、エッチングマスク76及び第1のARC膜74を除去して、P-SiN膜72を露出させる。続いて、図2(e)に示すように、P-S

iN膜72上に膜厚100nmの第2のARC膜80を成膜して開口部78を埋め、更に、第2のARC膜80上に膜厚400nmのフォトリソ膜82を成膜する。次に、フォトリソ膜82をパターンニングして、図2(f)に示すように、上層配線用の配線溝パターンを有するエッチングマスク82Aを形成する。尚、図2(f)で、本発明方法の効果を示すために、敢えて配線溝パターンはスルーホール・パターンと多少位置ずれが生じているように図示されている。

10 【0030】次いで、エッチングマスク82Aを使い、かつエッチングガスとしてC、F₂とCOとO₂とArとの混合ガスを使って、図3(g)に示すように、第2のARC膜80、及びP-SiN膜72をエッチングして、第1の開口部78と連通した第2の開口部83をP-SiO₂膜70上に形成する。次いで、O₂プラズマアッシング法によって、図3(h)に示すように、エッチングマスク82Aを除去して、P-SiN膜72、第2の開口部83、及び第1の開口部78を露出させる。続いて、図3(i)に示すように、P-SiO₂膜70をエッチングマスクとし、かつエッチングガスとしてC、F₂とCOとO₂とArとの混合ガスを使って、先ず、P-SiC膜68をエッチングして、Low-k層66を露出させる。更に、エッチングガスとしてN₂とH₂との混合ガスを使って、Low-k層66をエッチングして、P-SiC膜64を露出させる第3の開口部84Aを開く。

20 【0031】次いで、P-SiN膜72をエッチングマスクとし、かつC、F₂とCOとO₂とArとの混合ガスを使って、図4(j)に示すように、P-SiO₂膜70、P-SiC膜68及びLow-k層66をエッチングして上層配線用の配線溝86を形成すると共にP-SiC膜64をエッチングして下層のCu層62を露出させるスルーホール84を開く。その後、ウェット剥離を行う。次に、図4(k)に示すように、バリヤメタル層として膜厚50nmのTa層88をスルーホール84及び配線溝86の壁、並びにP-SiN膜72上に成膜し、更に、Cuシードスパッタ法によって膜厚100nmのCu層を堆積させ、めっき法によって膜厚800nmのCu層を堆積させ、総計900nmのCu層90をTa層88上に形成する。続いて、コロイダル・シリカスラリーを研磨剤としたCMP法によって、Cu層90、次いでTa層88を研磨、除去して、P-SiN膜72を露出させると共に、上層配線92と、上層配線92と下層配線62とを接続するビアプラグ94を形成する。

【0032】実施形態例2

本実施形態例は、本発明に係る半導体装置の製造方法の実施形態の別の例であって、図5(a)から(c)、図6(d)から(f)、図7(g)から(i)、図8

50 (j)から(l)、及び図9(m)から(o)は、それ

それ、本実施形態例の方法に従って配線を形成した際の工程毎の断面図である。本実施形態例では、配線溝形成のためのエッチングストッパ層をLow-k層中に有す。

【0033】 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525
 526
 527
 528
 529
 530
 531
 532
 533
 534
 535
 536
 537
 538
 539
 540
 541
 542
 543
 544
 545
 546
 547
 548
 549
 550
 551
 552
 553
 554
 555
 556
 557
 558
 559
 560
 561
 562
 563
 564
 565
 566
 567
 568
 569
 570
 571
 572
 573
 574
 575
 576
 577
 578
 579
 580
 581
 582
 583
 584
 585
 586
 587
 588
 589
 590
 591
 592
 593
 594
 595
 596
 597
 598
 599
 600
 601
 602
 603
 604
 605
 606
 607
 608
 609
 610
 611
 612
 613
 614
 615
 616
 617
 618
 619
 620
 621
 622
 623
 624
 625
 626
 627
 628
 629
 630
 631
 632
 633
 634
 635
 636
 637
 638
 639
 640
 641
 642
 643
 644
 645
 646
 647
 648
 649
 650
 651
 652
 653
 654
 655
 656
 657
 658
 659
 660
 661
 662
 663
 664
 665
 666
 667
 668
 669
 670
 671
 672
 673
 674
 675
 676
 677
 678
 679
 680
 681
 682
 683
 684
 685
 686
 687
 688
 689
 690
 691
 692
 693
 694
 695
 696
 697
 698
 699
 700
 701
 702
 703
 704
 705
 706
 707
 708
 709
 710
 711
 712
 713
 714
 715
 716
 717
 718
 719
 720
 721
 722
 723
 724
 725
 726
 727
 728
 729
 730
 731
 732
 733
 734
 735
 736
 737
 738
 739
 740
 741
 742
 743
 744
 745
 746
 747
 748
 749
 750
 751
 752
 753
 754
 755
 756
 757
 758
 759
 760
 761
 762
 763
 764
 765
 766
 767
 768
 769
 770
 771
 772
 773
 774
 775
 776
 777
 778
 779
 780
 781
 782
 783
 784
 785
 786
 787
 788
 789
 790
 791
 792
 793
 794
 795
 796
 797
 798
 799
 800
 801
 802
 803
 804
 805
 806
 807
 808
 809
 810
 811
 812
 813
 814
 815
 816
 817
 818
 819
 820
 821
 822
 823
 824
 825
 826
 827
 828
 829
 830
 831
 832
 833
 834
 835
 836
 837
 838
 839
 840
 841
 842
 843
 844
 845
 846
 847
 848
 849
 850
 851
 852
 853
 854
 855
 856
 857
 858
 859
 860
 861
 862
 863
 864
 865
 866
 867
 868
 869
 870
 871
 872
 873
 874
 875
 876
 877
 878
 879
 880
 881
 882
 883
 884
 885
 886
 887
 888
 889
 890
 891
 892
 893
 894
 895
 896
 897
 898
 899
 900
 901
 902
 903
 904
 905
 906
 907
 908
 909
 910
 911
 912
 913
 914
 915
 916
 917
 918
 919
 920
 921
 922
 923
 924
 925
 926
 927
 928
 929
 930
 931
 932
 933
 934
 935
 936
 937
 938
 939
 940
 941
 942
 943
 944
 945
 946
 947
 948
 949
 950
 951
 952
 953
 954
 955
 956
 957
 958
 959
 960
 961
 962
 963
 964
 965
 966
 967
 968
 969
 970
 971
 972
 973
 974
 975
 976
 977
 978
 979
 980
 981
 982
 983
 984
 985
 986
 987
 988
 989
 990
 991
 992
 993
 994
 995
 996
 997
 998
 999
 1000
 1001
 1002
 1003
 1004
 1005
 1006
 1007
 1008
 1009
 1010
 1011
 1012
 1013
 1014
 1015
 1016
 1017
 1018
 1019
 1020
 1021
 1022
 1023
 1024
 1025
 1026
 1027
 1028
 1029
 1030
 1031
 1032
 1033
 1034
 1035
 1036
 1037
 1038
 1039
 1040
 1041
 1042
 1043
 1044
 1045
 1046
 1047
 1048
 1049
 1050
 1051
 1052
 1053
 1054
 1055
 1056
 1057
 1058
 1059
 1060
 1061
 1062
 1063
 1064
 1065
 1066
 1067
 1068
 1069
 1070
 1071
 1072
 1073
 1074
 1075
 1076
 1077
 1078
 1079
 1080
 1081
 1082
 1083
 1084
 1085
 1086
 1087
 1088
 1089
 1090
 1091
 1092
 1093
 1094
 1095
 1096
 1097
 1098
 1099
 1100
 1101
 1102
 1103
 1104
 1105
 1106
 1107
 1108
 1109
 1110
 1111
 1112
 1113
 1114
 1115
 1116
 1117
 1118
 1119
 1120
 1121
 1122
 1123
 1124
 1125
 1126
 1127
 1128
 1129
 1130
 1131
 1132
 1133
 1134
 1135
 1136
 1137
 1138
 1139
 1140
 1141
 1142
 1143
 1144
 1145
 1146
 1147
 1148
 1149
 1150
 1151
 1152
 1153
 1154
 1155
 1156
 1157
 1158
 1159
 1160
 1161
 1162
 1163
 1164
 1165
 1166
 1167
 1168
 1169
 1170
 1171
 1172
 1173
 1174
 1175
 1176
 1177
 1178
 1179
 1180
 1181
 1182
 1183
 1184
 1185
 1186
 1187
 1188
 1189
 1190
 1191
 1192
 1193
 1194
 1195
 1196
 1197
 1198
 1199
 1200
 1201
 1202
 1203
 1204
 1205
 1206
 1207
 1208
 1209
 1210
 1211
 1212
 1213
 1214
 1215
 1216
 1217
 1218
 1219
 1220
 1221
 1222
 1223
 1224
 1225
 1226
 1227
 1228
 1229
 1230
 1231
 1232
 1233
 1234
 1235
 1236
 1237
 1238
 1239
 1240
 1241
 1242
 1243
 1244
 1245
 1246
 1247
 1248
 1249
 1250
 1251
 1252
 1253
 1254
 1255
 1256
 1257
 1258
 1259
 1260
 1261
 1262
 1263
 1264
 1265
 1266
 1267
 1268
 1269
 1270
 1271
 1272
 1273
 1274
 1275
 1276
 1277
 1278
 1279
 1280
 1281
 1282
 1283
 1284
 1285
 1286
 1287
 1288
 1289
 1290
 1291
 1292
 1293
 1294
 1295
 1296
 1297
 1298
 1299
 1300
 1301
 1302
 1303
 1304
 1305
 1306
 1307
 1308
 1309
 1310
 1311
 1312
 1313
 1314
 1315
 1316
 1317
 1318
 1319
 1320
 1321
 1322
 1323
 1324
 1325
 1326
 1327
 1328
 1329
 1330
 1331
 1332
 1333
 1334
 1335
 1336
 1337
 1338
 1339
 1340
 1341
 1342
 1343
 1344
 1345
 1346
 1347
 1348
 1349
 1350
 1351
 1352
 1353
 1354
 1355
 1356
 1357
 1358
 1359
 1360
 1361
 1362
 1363
 1364
 1365
 1366
 1367
 1368
 1369
 1370
 1371
 1372
 1373
 1374
 1375
 1376
 1377
 1378
 1379
 1380
 1381
 1382
 1383
 1384
 1385
 1386
 1387
 1388
 1389
 1390
 1391
 1392
 1393
 1394
 1395
 1396
 1397
 1398
 1399
 1400
 1401
 1402
 1403
 1404
 1405
 1406
 1407
 1408
 1409
 1410
 1411
 1412
 1413
 1414
 1415
 1416
 1417
 1418
 1419
 1420
 1421
 1422
 1423
 1424
 1425
 1426
 1427
 1428
 1429
 1430
 1431
 1432
 1433
 1434
 1435
 1436
 1437
 1438
 1439
 1440
 1441
 1442
 1443
 1444
 1445
 1446
 1447
 1448
 1449
 1450
 1451
 1452
 1453
 1454
 1455
 1456
 1457
 1458
 1459
 1460
 1461
 1462
 1463
 1464
 1465
 1466
 1467
 1468
 1469
 1470
 1471
 1472
 1473
 1474
 1475
 1476
 1477
 1478
 1479
 1480
 1481

(i)、図13(j)から(l)、及び図14(m)と(n)は、それぞれ、本実施形態例の方法に従って配線を形成した際の工程毎の断面図である。本実施形態例は、層間絶縁膜の一部として配線溝形成の際のエッチングストップ層として機能する絶縁膜をLow-k層の下に成膜する。まず、図10(a)に示すように、下層配線として形成されたCu層142上に、プラズマCVD法によって膜厚50nmのP-SiC膜144を成膜し、次いで第1の層間絶縁膜として膜厚300nmのP-SiO₂膜146を成膜し、次いで第2の層間絶縁膜として膜厚300nmのLow-k層148を成膜する。更に、プラズマCVD法によって、それぞれ、膜厚50nmの、P-SiC膜150、P-SiO₂膜152、及びP-SiN膜154を、順次、成膜し、トリプル・ハードマスクを形成する。

【0040】次いで、図10(b)に示すように、P-SiN膜154上に、膜厚100nmの第1のARC膜156を成膜した後、膜厚400nmのフォトレジスト膜を成膜し、次いでスルーホール・パターンを有するエッチングマスク158を形成する。次に、エッチングマスク158を使い、かつエッチングガスとしてC、F₂とCOとO₂とArとの混合ガスを使って、図10(c)に示すように、第1のARC膜156、P-SiN膜154及びP-SiO₂膜152をエッチングして、P-SiC膜150を露出させた、スルーホールと同じ開口径の第1の開口部160をP-SiC膜150上に形成する。

【0041】次いで、O₂プラズマアッシング法によって、図11(d)に示すように、エッチングマスク158及び第1のARC膜156を除去して、P-SiN膜154を露出させる。続いて、図11(e)に示すように、P-SiN膜116上に膜厚100nmの第2のARC膜162を成膜して開口部122を埋め、更に、膜厚400nmのフォトレジスト膜164を成膜する。次に、フォトレジスト膜164をパターンニングして、図11(f)に示すように、上層配線用の配線溝パターンを有するエッチングマスク164Aを形成する。尚、図11(f)で、本発明の効果を示すために、敢えて配線溝パターンはスルーホール・パターンと多少位置ずれが生じているように図示されている。

【0042】次いで、エッチングマスク164Aを使い、かつエッチングガスとしてC、F₂とCOとO₂とArとの混合ガスを使って、図12(g)に示すように、第2のARC膜162、及びP-SiN膜154をエッチングして、第1の開口部160と連通した第2の開口部165をP-SiC膜152上に形成する。次いで、O₂プラズマアッシング法によって、図12(h)に示すように、エッチングマスク164Aを除去して、P-SiN膜154を露出させる。続いて、図12

(i)に示すように、P-SiO₂膜152をエッチン

グマスクとし、かつエッチングガスとしてC、F₂とCOとO₂とArとの混合ガスを使って、まず、P-SiC膜150をエッチングして、Low-k層148を露出させる。

【0043】次に、図13(j)に示すように、P-SiN膜154をエッチングマスクとし、エッチングガスとしてN₂とH₂との混合ガスを使って、P-SiO₂膜152、Low-k層148、及びP-SiO₂膜146をエッチングして、P-SiC膜144を露出させる第3の開口部66Aを開口する。続いて、図13

(k)に示すように、P-SiN膜154をエッチングマスクとし、かつエッチングガスとしてC、F₂とCOとO₂とArとの混合ガスを使って、P-SiC膜150及びP-SiC膜144をエッチングして、Cu層142を露出させるスルーホール166を形成する。次に、図13(l)に示すように、更に、P-SiN膜546をエッチングマスクとし、かつエッチングガスとしてN₂とH₂との混合ガスを使ってLow-k層148をエッチングして、上層配線用の配線溝168を形成する。この際、P-SiO₂膜146はエッチングストップ層として機能する。その後、ウェット剥離を行う。

【0044】次に、図14(m)に示すように、バリヤメタル層として膜厚50nmのTa層170をスルーホール166及び配線溝168の壁、並びにP-SiN膜154上に成膜する。更に、Cuシードスパッタ法によって膜厚100nmのCu層を堆積させ、めっき法によって膜厚800nmのCu層を堆積させ、総計900nmのCu層172をTa層170上に形成する。続いて、コロイダル・シリカスラリーを研磨剤としたCMP法によって、Cu層172、次いでTa層170を研磨、除去して、図14(n)に示すように、P-SiN膜154を露出させると共に、上層配線174と、上層配線174と下層配線142とを接続するビアプラグ176を形成する。

【0045】

【発明の効果】本発明によれば、低誘電率層上に、順次、成膜された、第1の絶縁ハードマスク層、第2の絶縁ハードマスク層、及び第3の絶縁ハードマスク層から構成され、かつ、同じエッチング条件ではエッチングレートが第1、第2、及び第3のハードマスク層の間で相互に異なる、トリプル・ハードマスク層を形成することにより、第3のハードマスク層を配線溝形成の際のエッチングマスクとして機能させ、第2のハードマスク層をスルーホール形成の際のエッチングマスクとして機能させ、第1のハードマスク層を、第2の開口部形成工程の後、第2の開口部形成に使ったエッチングマスクを除去する際の低誘電率層保護膜としての機能させる。これにより、第2の開口部形成工程の後、第2の開口部形成に使ったエッチングマスクを除去する際、低誘電率層上に第1のハードマスク層が存在するので、エッチングマス

クの位置決めの際に位置ずれがあっても、従来の第1の方法のように低誘電率層をエッチングすることなく、除去することができる。

【図面の簡単な説明】

【図1】図1(a)から(c)は、それぞれ、実施形態例1の方法に従って配線を形成した際の工程毎の断面図である。

【図2】図2(d)から(f)は、それぞれ、図1(c)に続いて、実施形態例1の方法に従って配線を形成した際の工程毎の断面図である。

【図3】図3(g)から(i)は、それぞれ、図2(f)に続いて、実施形態例1の方法に従って配線を形成した際の工程毎の断面図である。

【図4】図4(j)から(l)は、それぞれ、図3(i)に続いて、実施形態例1の方法に従って配線を形成した際の工程毎の断面図である。

【図5】図5(a)から(c)は、それぞれ、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図6】図6(d)から(f)は、それぞれ、図5(c)に続いて、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図7】図7(g)から(i)は、それぞれ、図6(f)に続いて、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図8】図8(j)から(l)は、それぞれ、図7(i)に続いて、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図9】図9(m)から(o)は、それぞれ、図8(l)に続いて、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図10】図10(a)から(c)は、それぞれ、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図11】図11(d)から(f)は、それぞれ、図10(c)に続いて、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図12】図12(g)から(i)は、それぞれ、図11(f)に続いて、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図13】図13(j)から(l)は、それぞれ、図12(i)に続いて、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図14】図14(m)及び(n)は、それぞれ、図13(l)に続いて、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図15】図15(a)から(c)は、それぞれ、従来の第1の方法に従って配線を形成した際の工程毎の断面図である。

【図16】図16(d)と(e)は、それぞれ、図15

(c)に続いて、従来の第1の方法に従って配線を形成した際の工程毎の断面図である。

【図17】図17(f)から(h)は、それぞれ、図16(e)に続いて、従来の第1の方法に従って配線を形成した際の工程毎の断面図である。

【図18】図18(a)から(c)は、それぞれ、従来の第2の方法に従って配線を形成した際の工程毎の断面図である。

【図19】図19(d)から(f)は、それぞれ、図18(c)に続いて、従来の第2の方法に従って配線を形成した際の工程毎の断面図である。

【図20】図20(g)から(i)は、それぞれ、図19(f)に続いて、従来の第2の方法に従って配線を形成した際の工程毎の断面図である。

【図21】図21(a)及び(b)は、それぞれ、従来の第1の方法によって配線を形成する際の問題を説明する模式的断面図である。

【図22】図22(a)から(c)は、それぞれ、従来の第2の方法によって配線を形成する際の問題を説明する模式的断面図である。

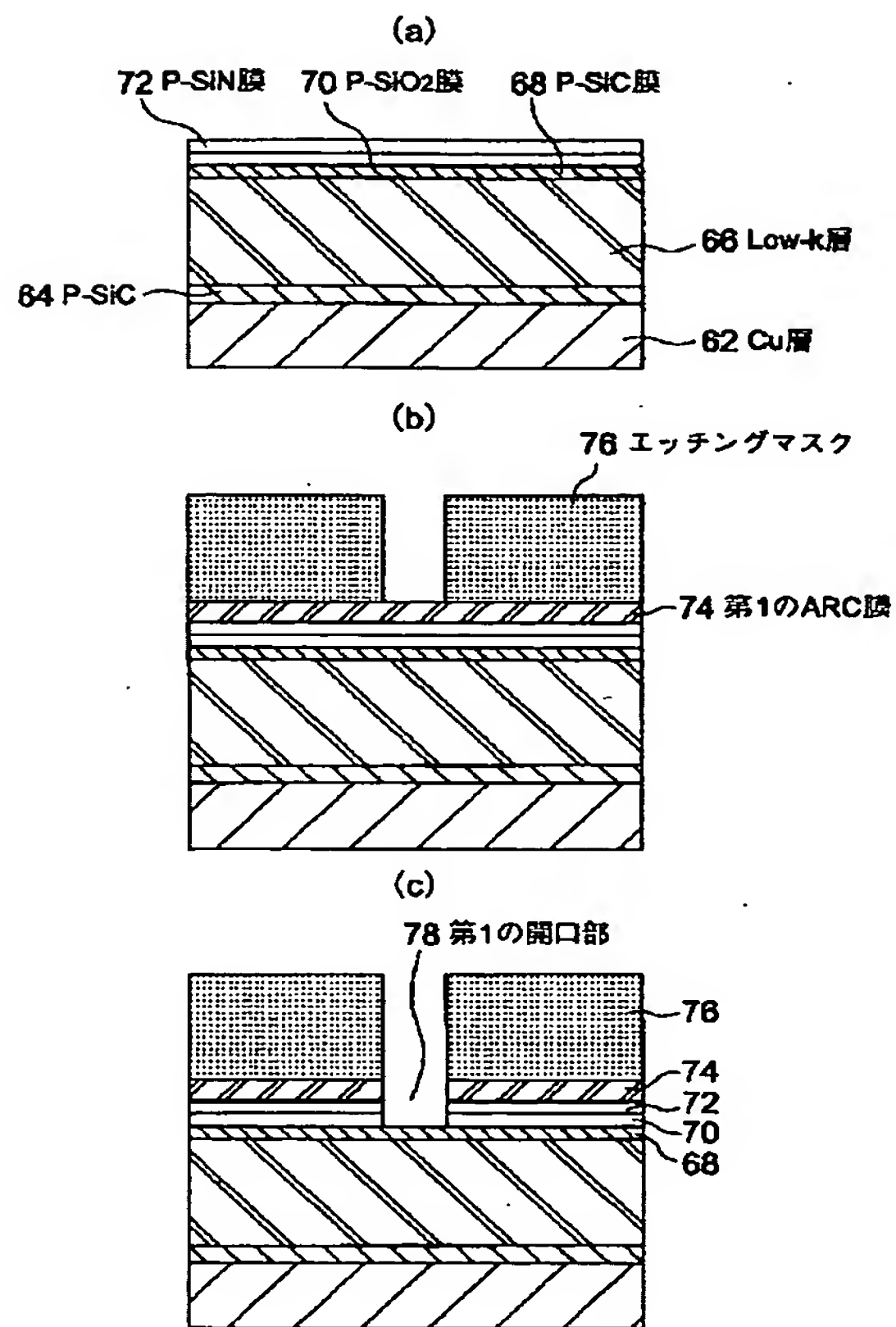
【符号の説明】

- 12 Cu層
- 14 P-SiN膜
- 16 Low-k層
- 18 P-SiO₂膜
- 20 第1のARC膜
- 22 エッチングマスク
- 24 ホール
- 26 第2のARC膜
- 28 フォトレジスト膜
- 30 エッチングマスク
- 32A ホール
- 32 スルーホール
- 34 上層配線用の配線溝
- 36 Cu層
- 38 P-SiN膜
- 40 Low-k層
- 42 P-SiO₂膜
- 44 P-SiN膜
- 46 エッチングマスク
- 47 開口部
- 48 エッチングマスク
- 50 ホール
- 52A ホール
- 52 スルーホール
- 54 上層配線用の配線溝
- 56 Ta層
- 58 Cu層
- 62 Cu層
- 64 P-SiC膜

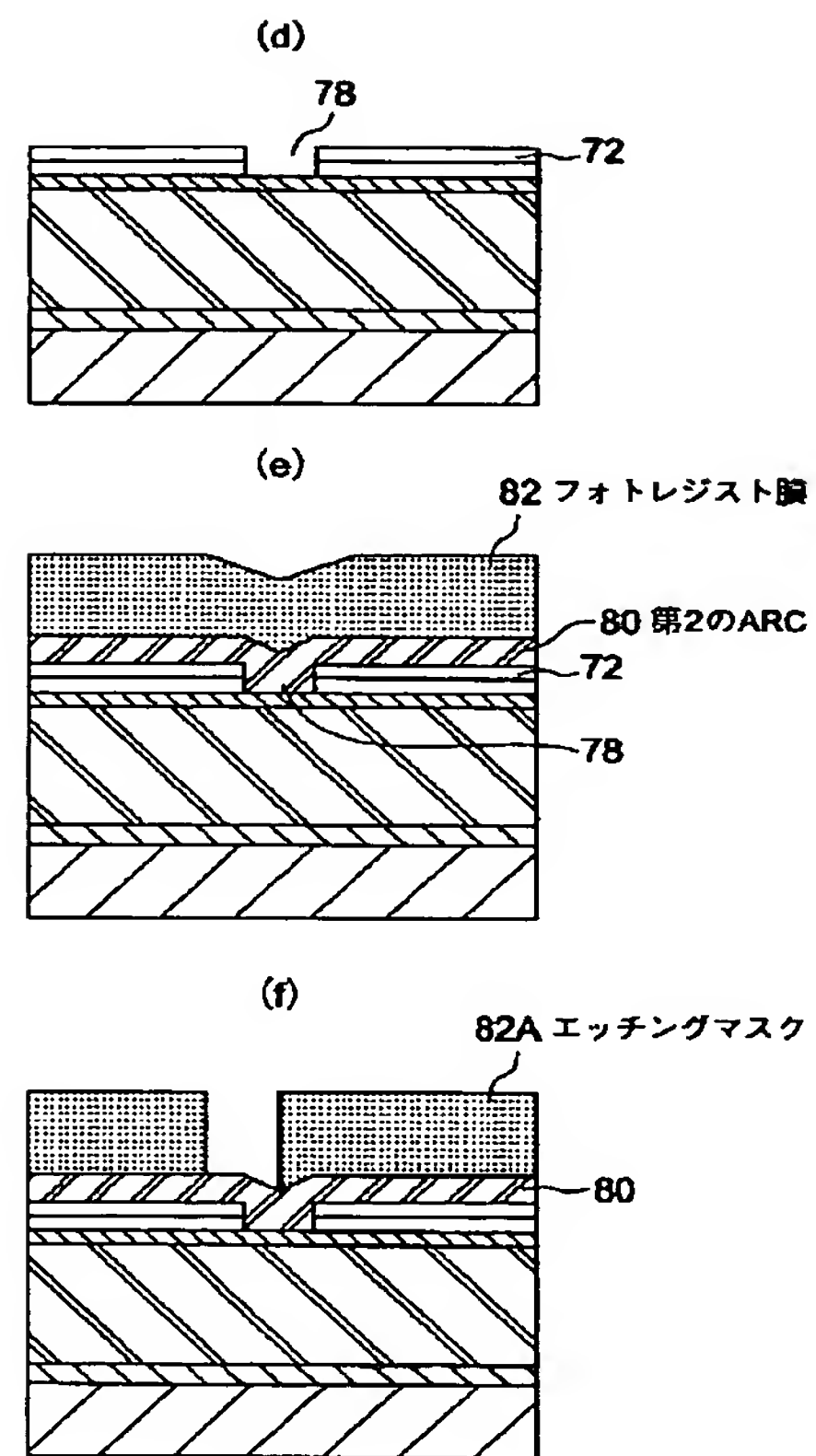
66 Low-k層
 68 P-SiC膜
 70 P-SiO₂膜
 72 P-SiN膜
 74 第1のARC膜
 76 エッチングマスク
 78 第1の開口部
 80 第2のARC膜
 82 フォトレジスト膜
 82A エッチングマスク
 83 第2の開口部
 84A 第3の開口部
 84 スルーホール
 86 配線溝
 88 Ta膜
 90 Cu層
 92 上層配線
 94 ビアプラグ
 102 Cu層
 104 P-SiC膜
 106 Low-k層
 108 P-SiO₂膜
 110 Low-k層
 112 P-SiC膜
 114 P-SiO₂膜
 116 P-SiN膜
 118 第1のARC膜
 120 エッチングマスク
 122 第1の開口部
 124 第2のARC膜
 126 フォトレジスト膜

126A エッチングマスク
 127 第2の開口部
 128 ホール
 130 配線溝
 132A 第3の開口部
 132 スルーホール
 134 Ta層
 136 Cu層
 138 上層配線
 10 140 ビアプラグ
 142 Cu層
 144 P-SiC膜
 146 P-SiO₂膜
 148 Low-k層
 150 P-SiC膜
 152 P-SiO₂膜
 154 P-SiN膜
 156 第1のARC膜
 158 エッチングマスク
 20 160 第1の開口部
 162 第2のARC膜
 164 フォトレジスト膜
 164A エッチングマスク
 165 第2の開口部
 166A 第3の開口部
 168 配線溝
 170 Ta層
 172 Cu層
 174 上層配線
 30 176 ビアプラグ

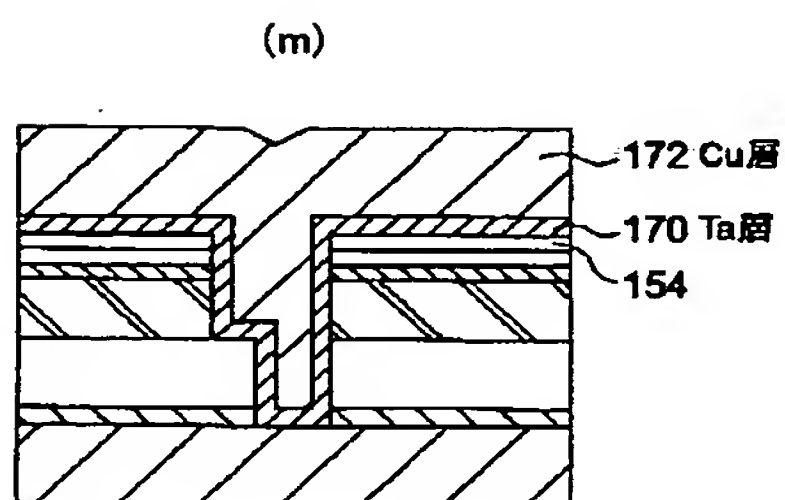
【図1】



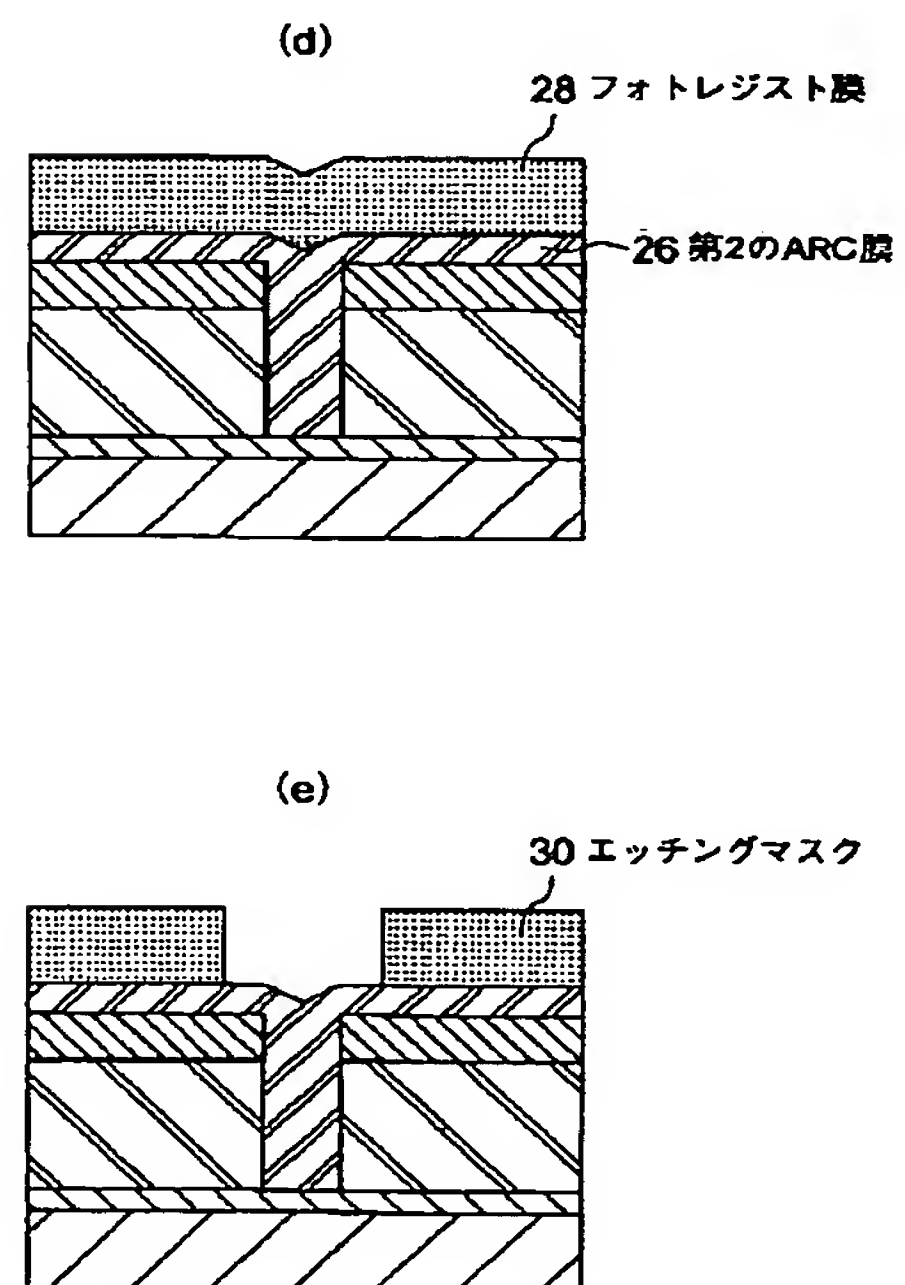
【図2】



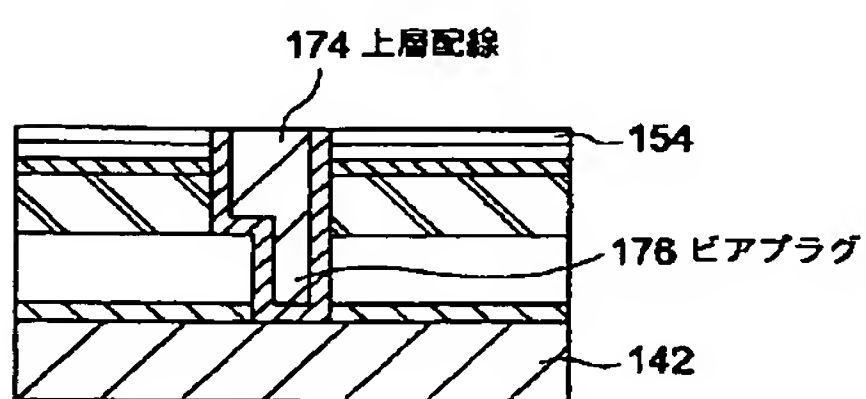
【図14】



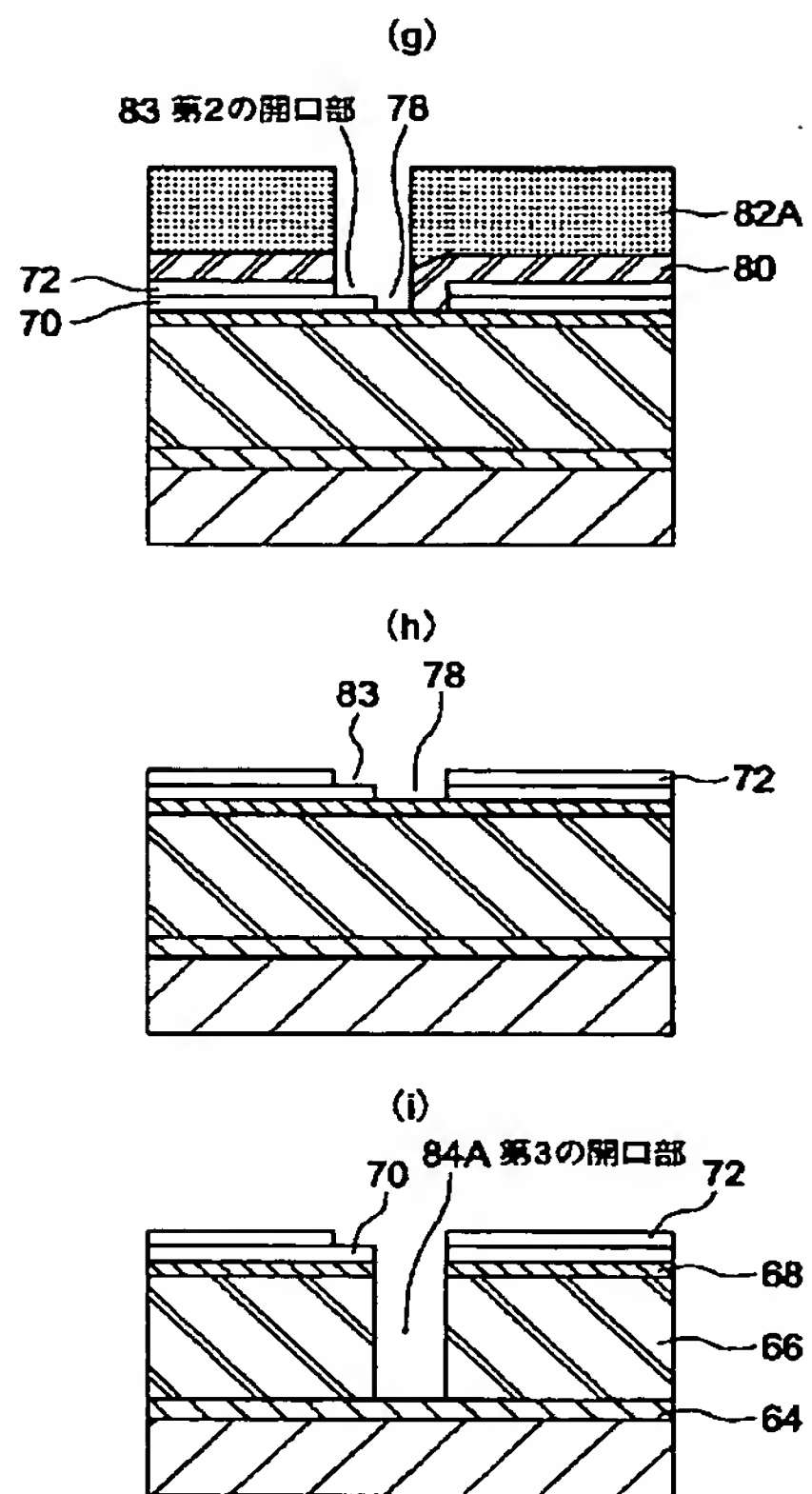
【図16】



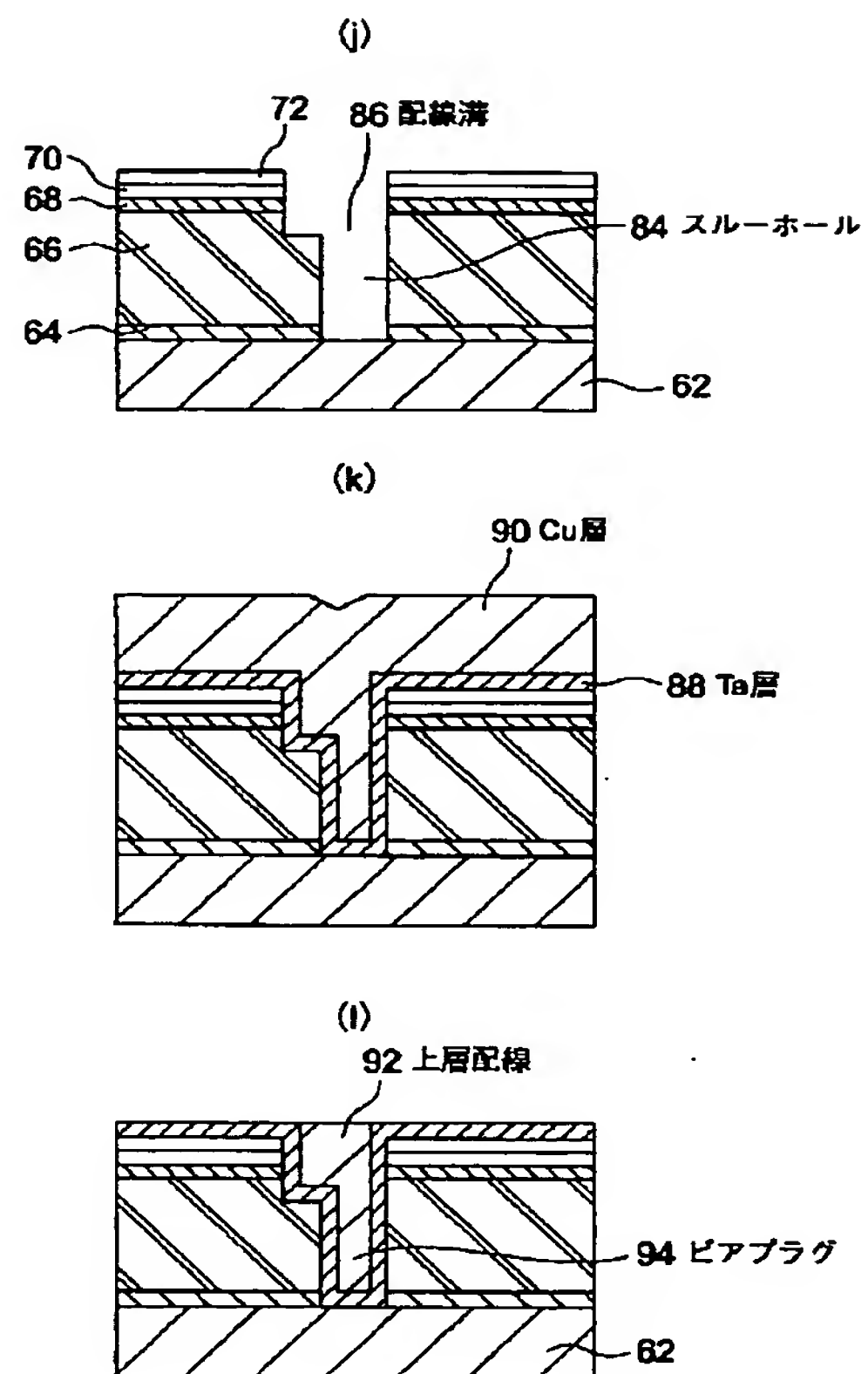
(n)



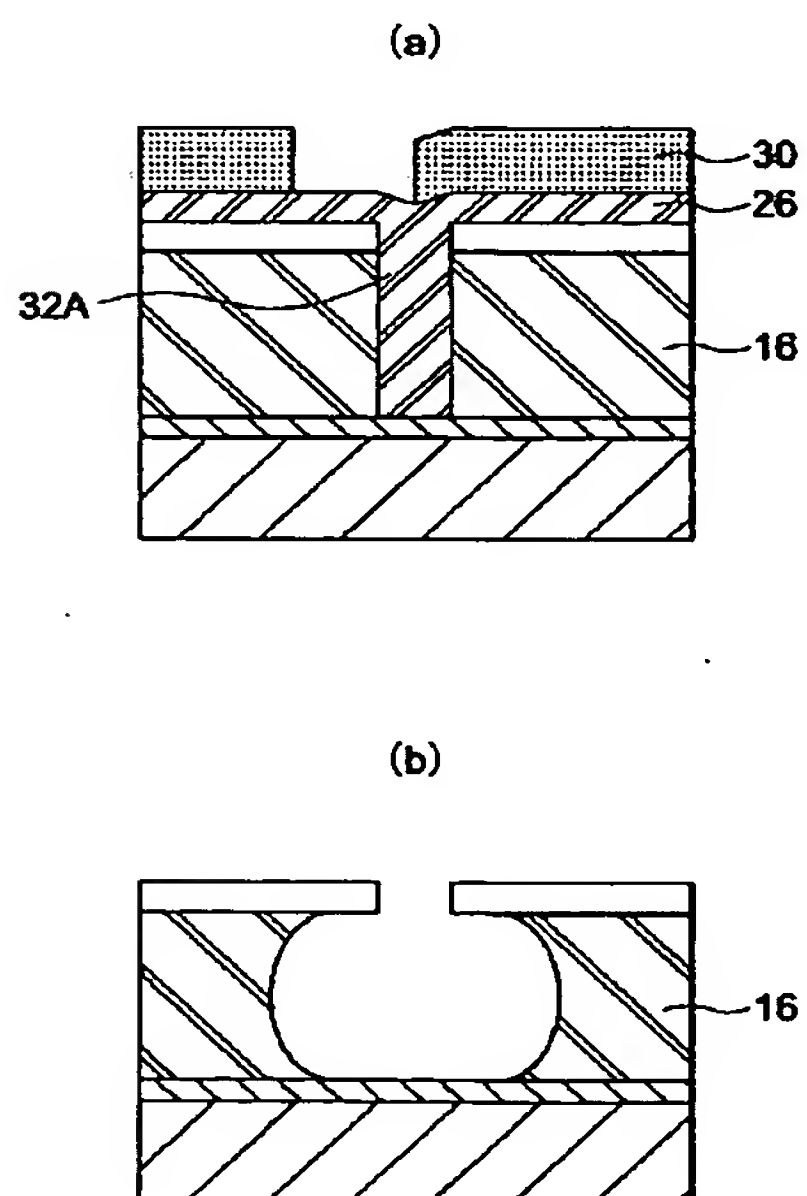
【図3】



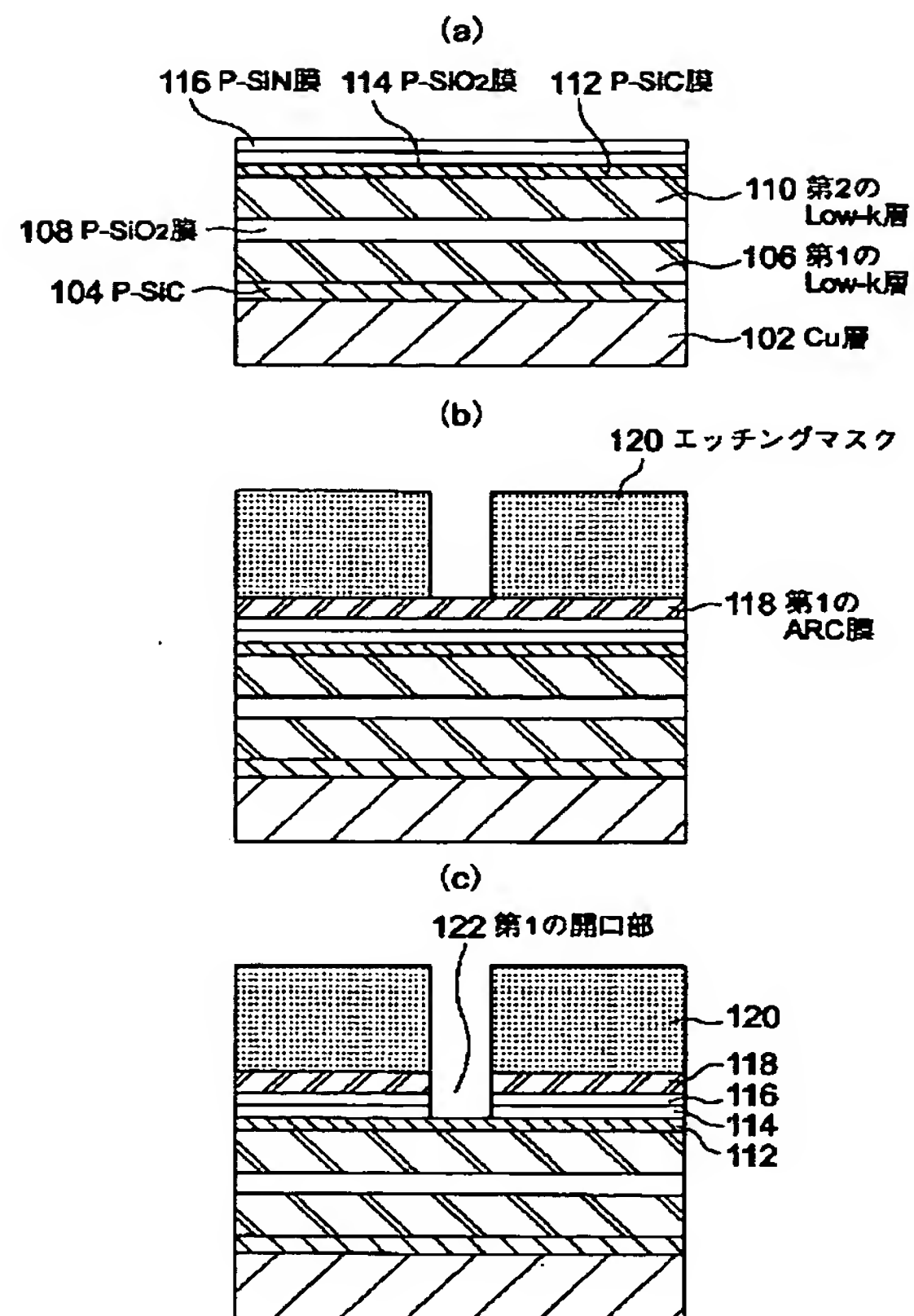
【図4】



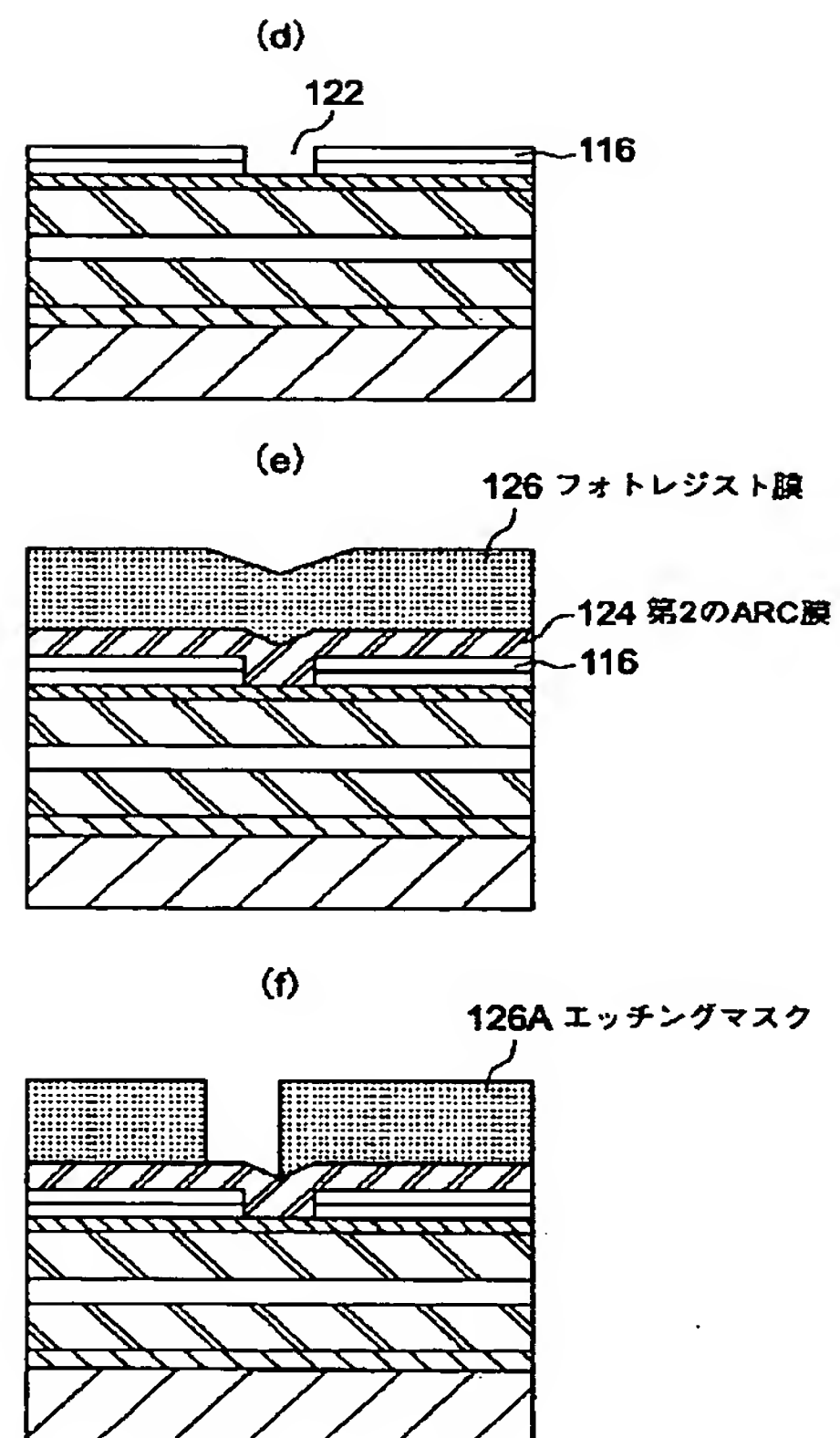
【図21】



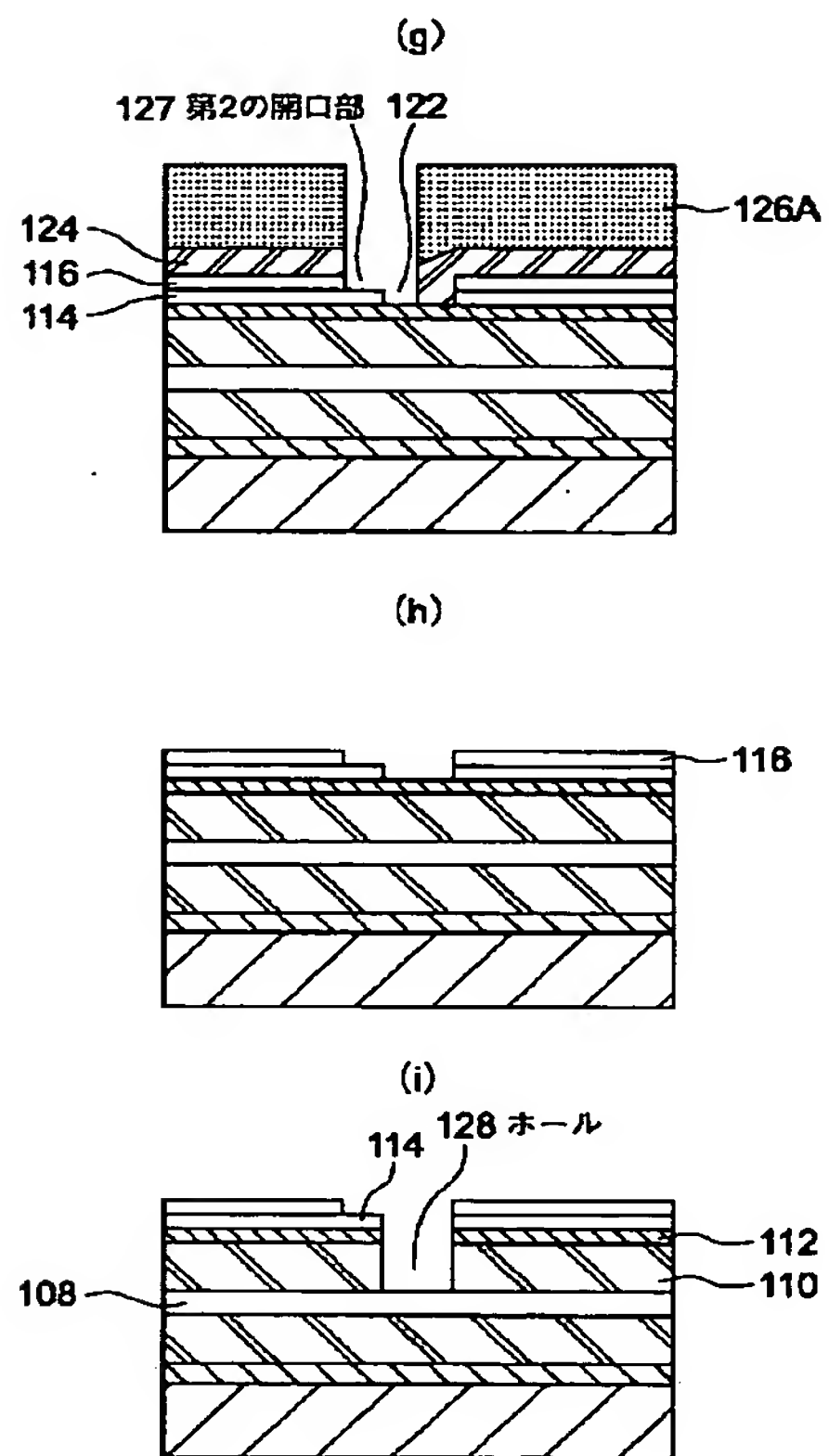
【図5】



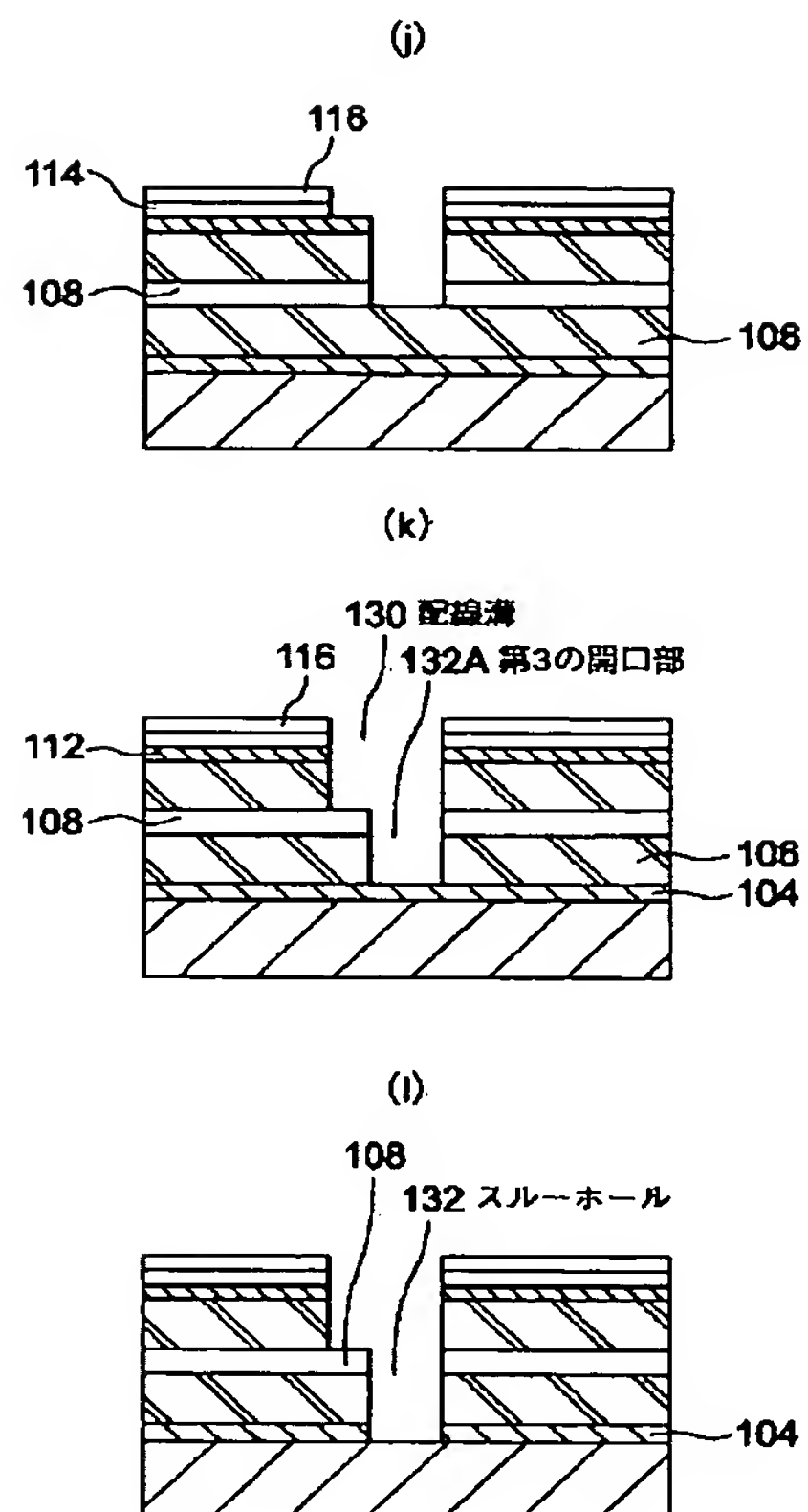
【図6】



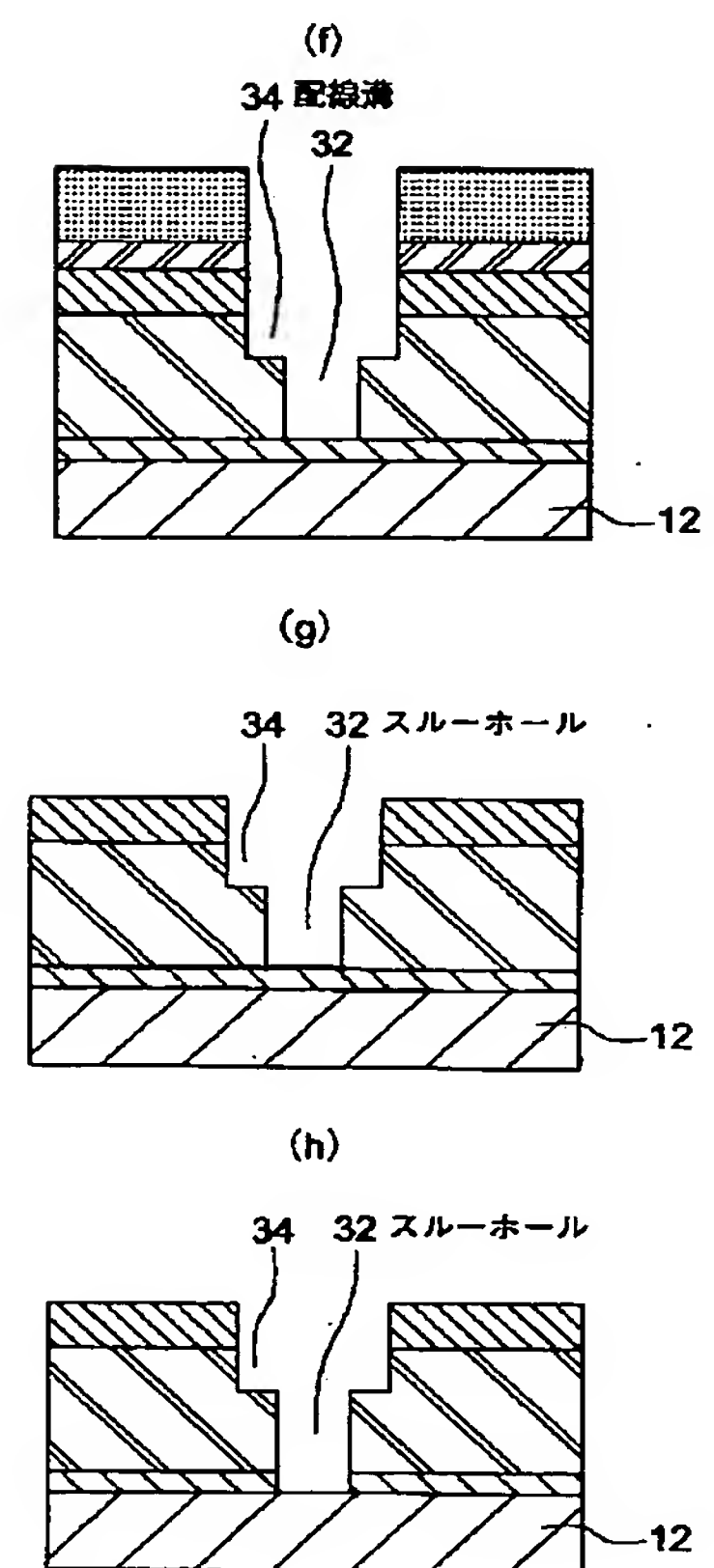
【図7】



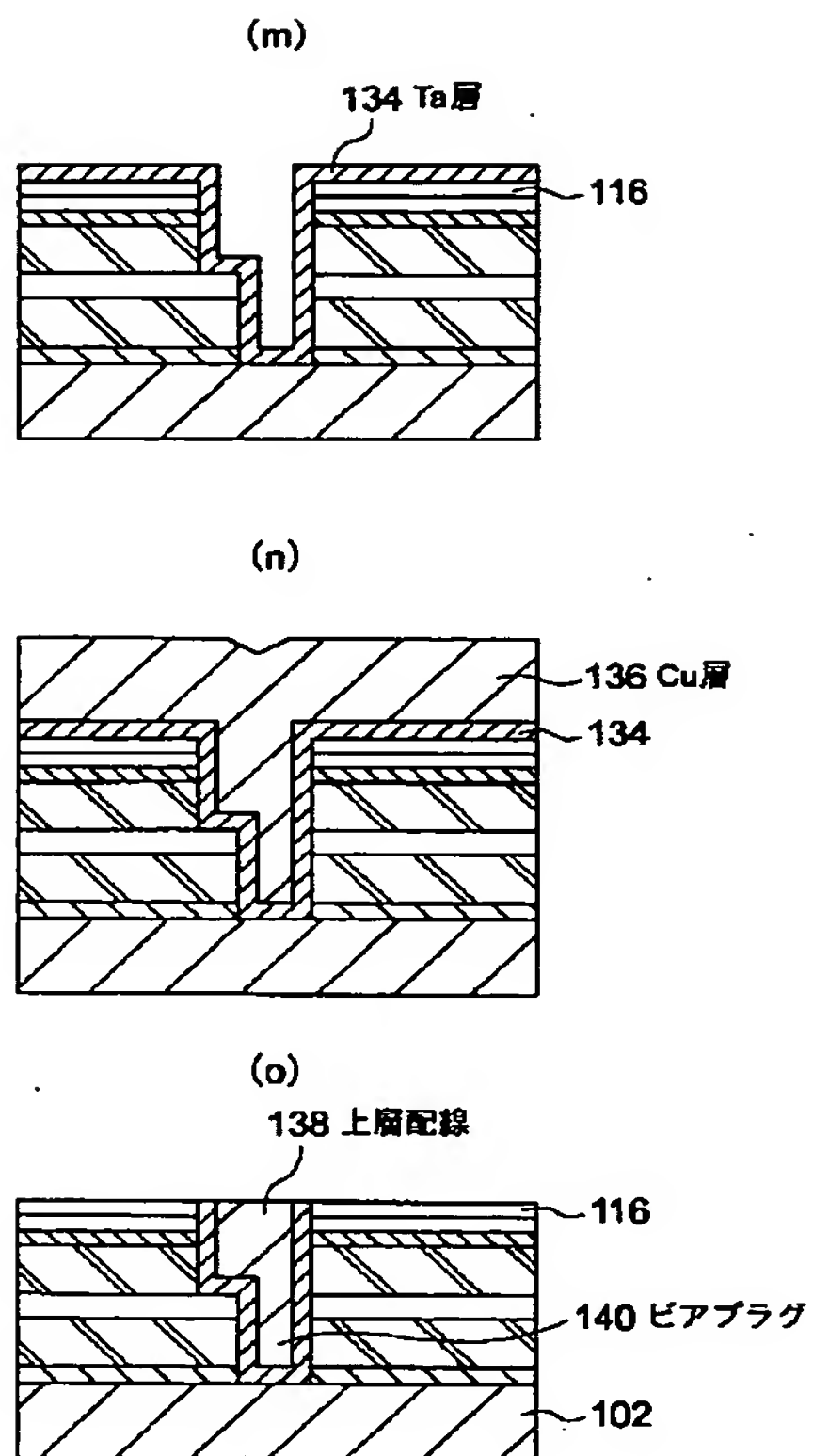
【図8】



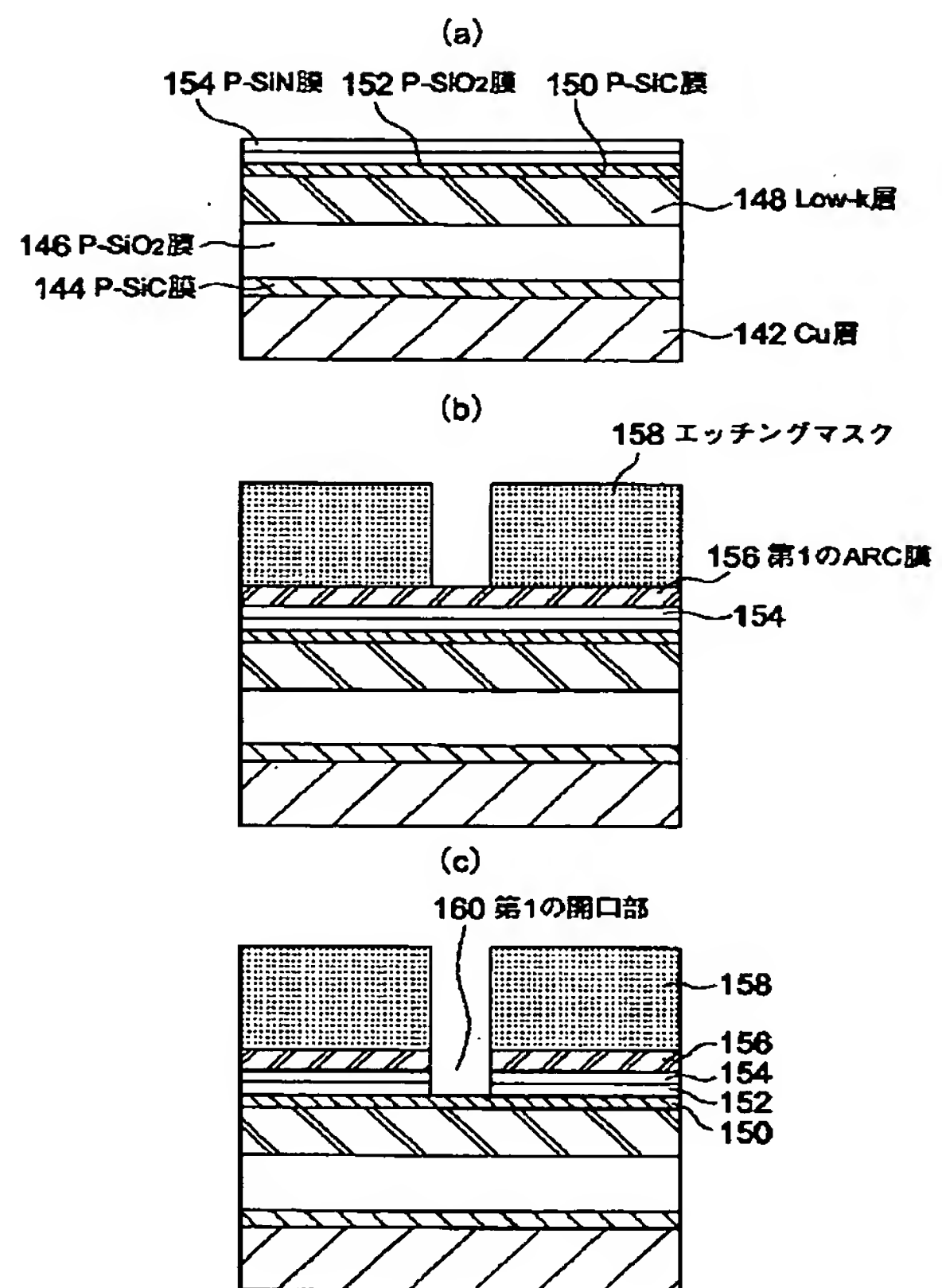
【図17】



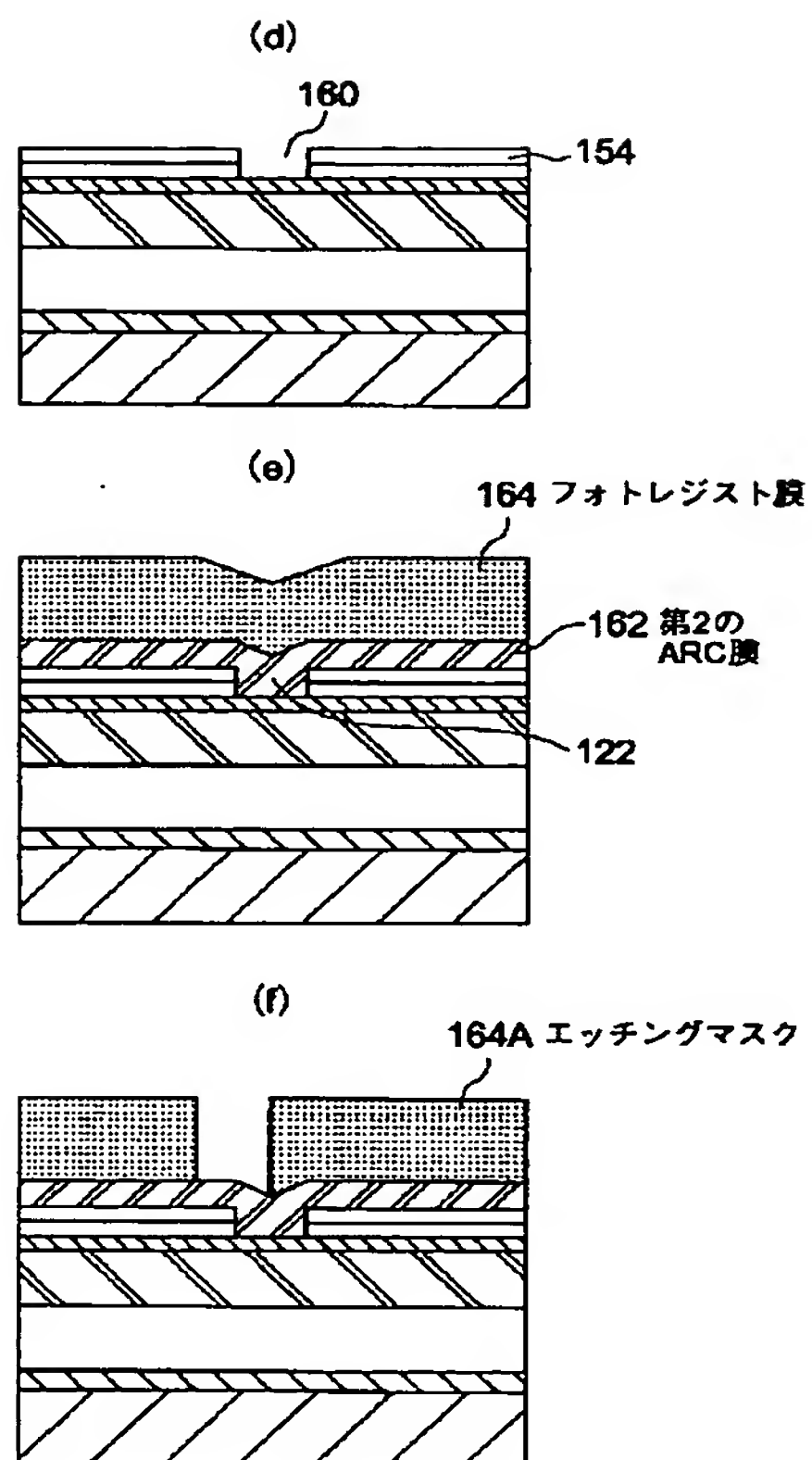
【図9】



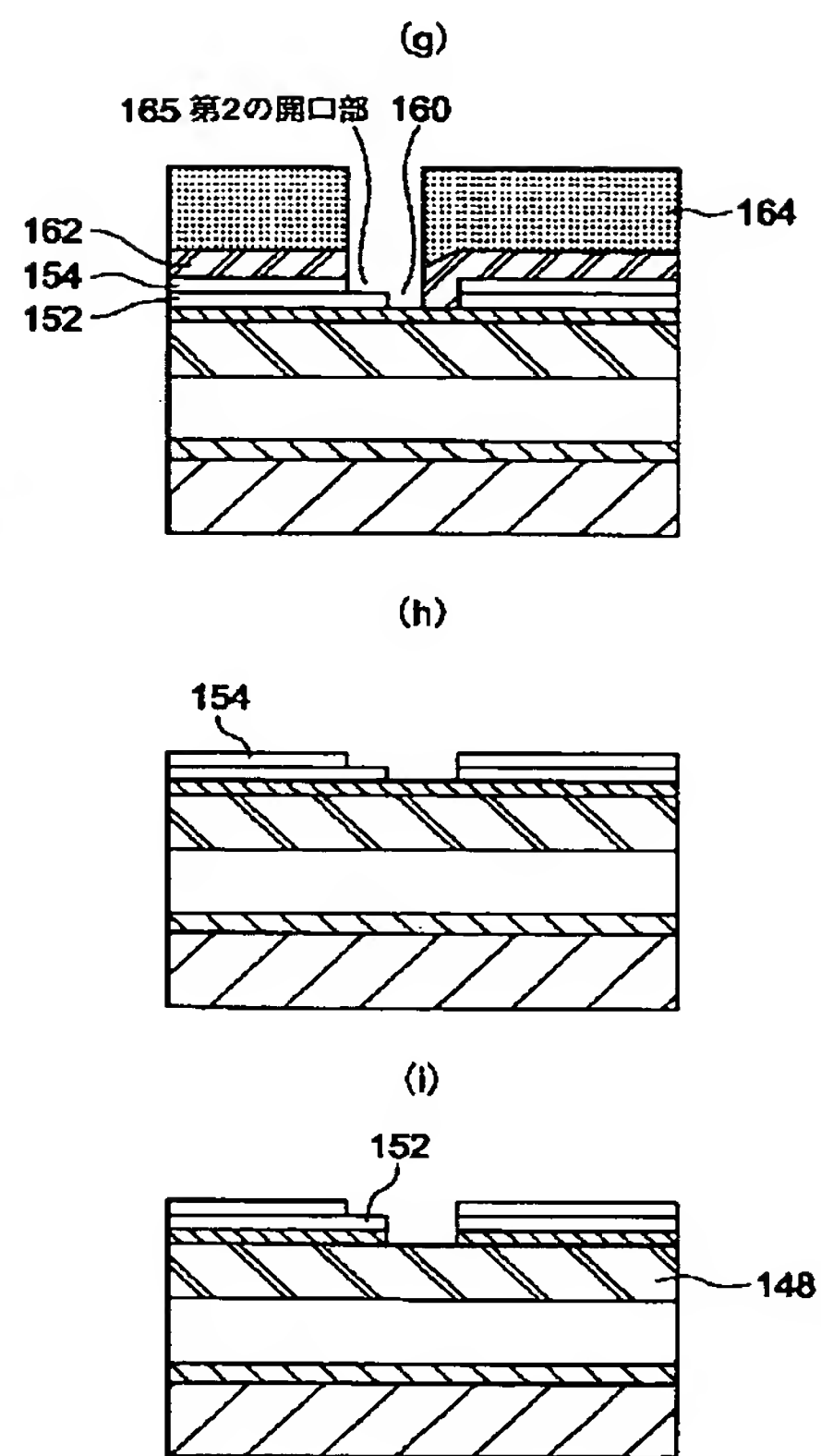
【図10】



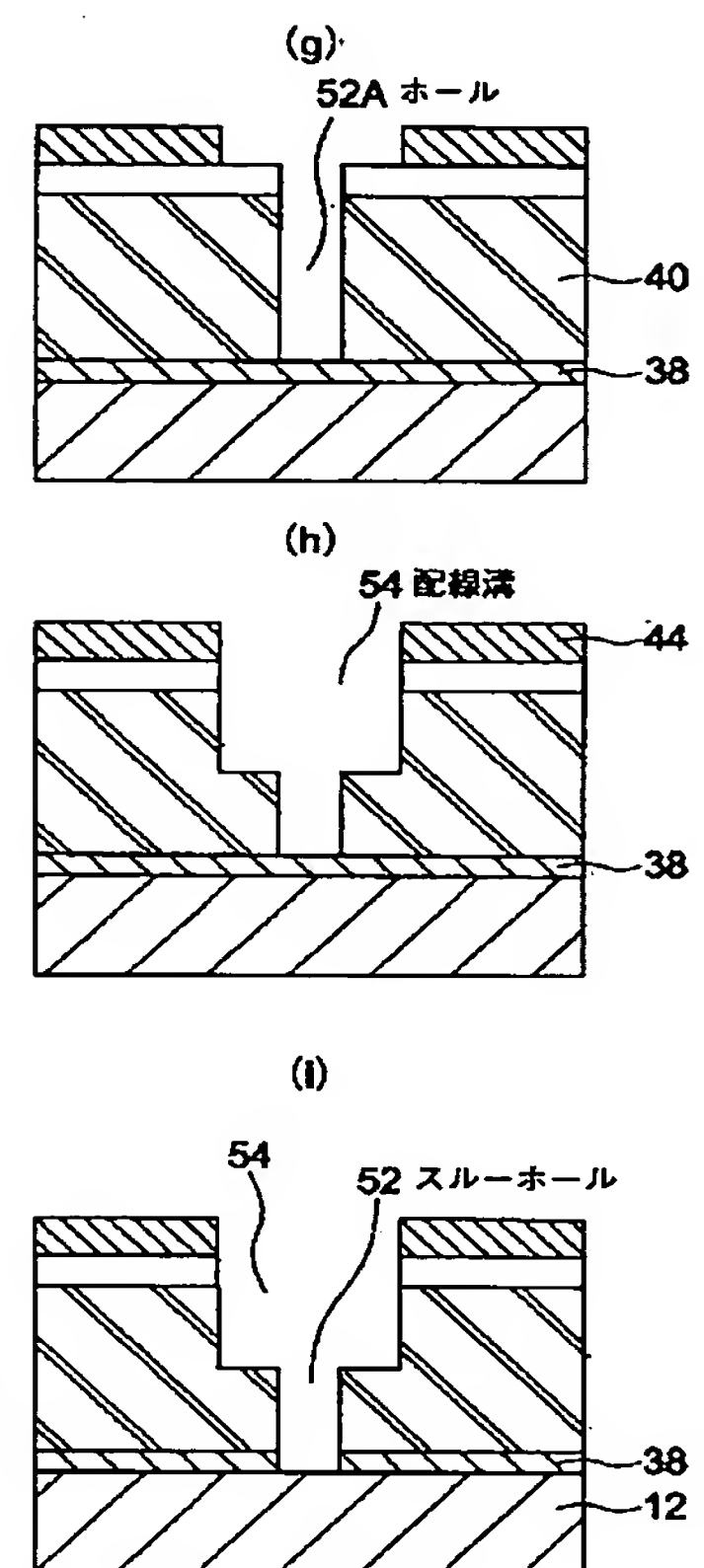
【図11】



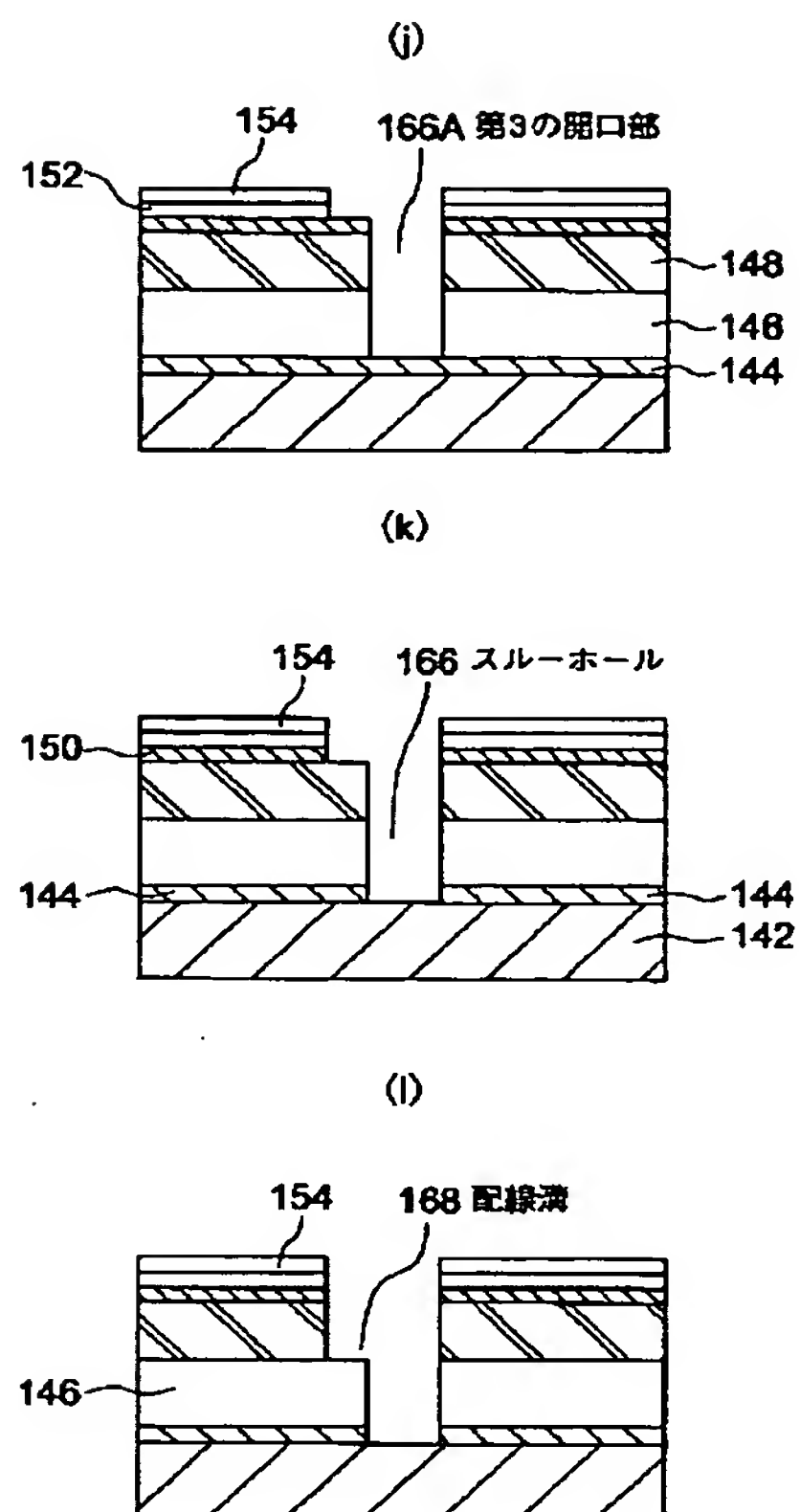
【図12】



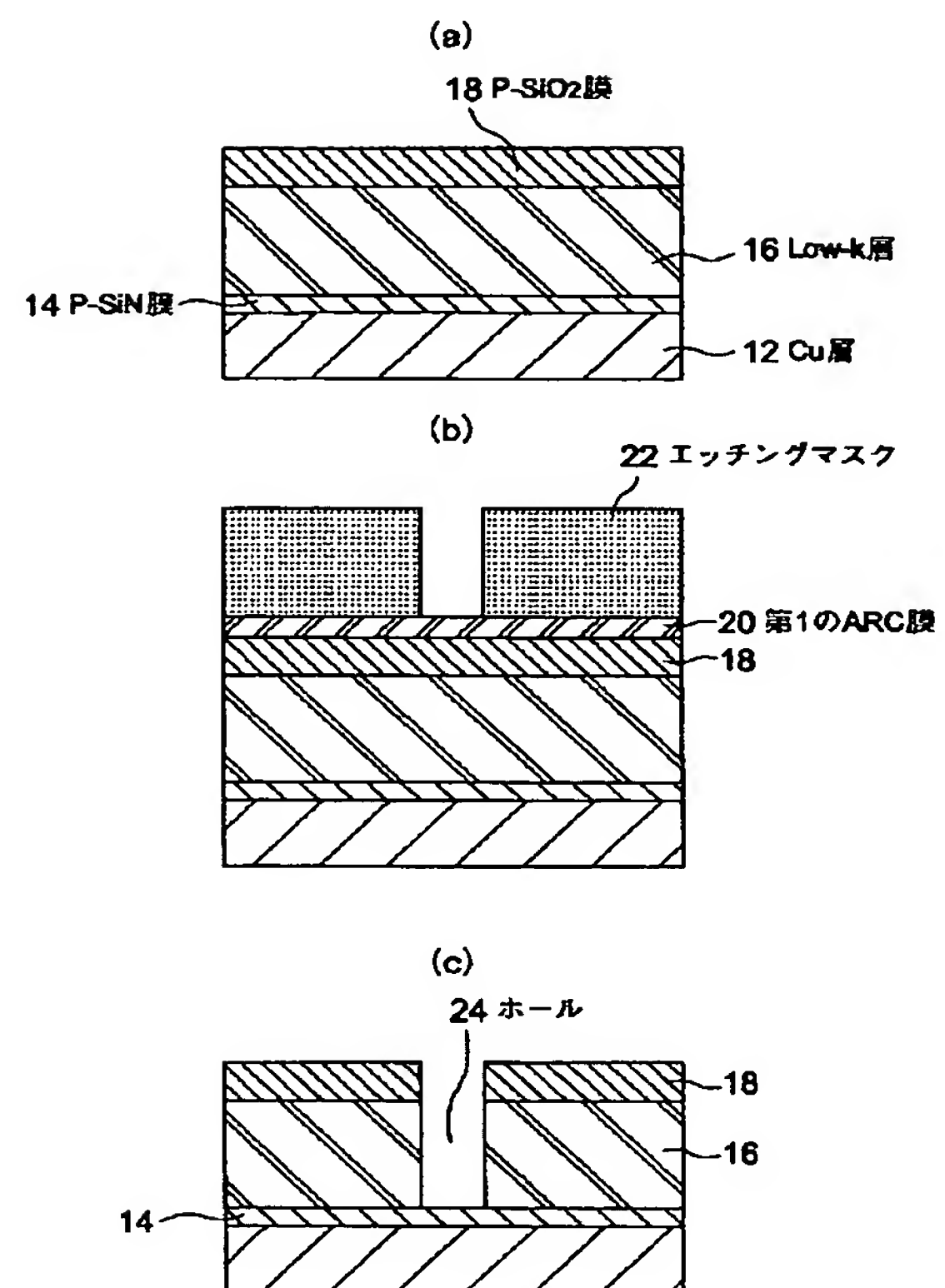
【図20】



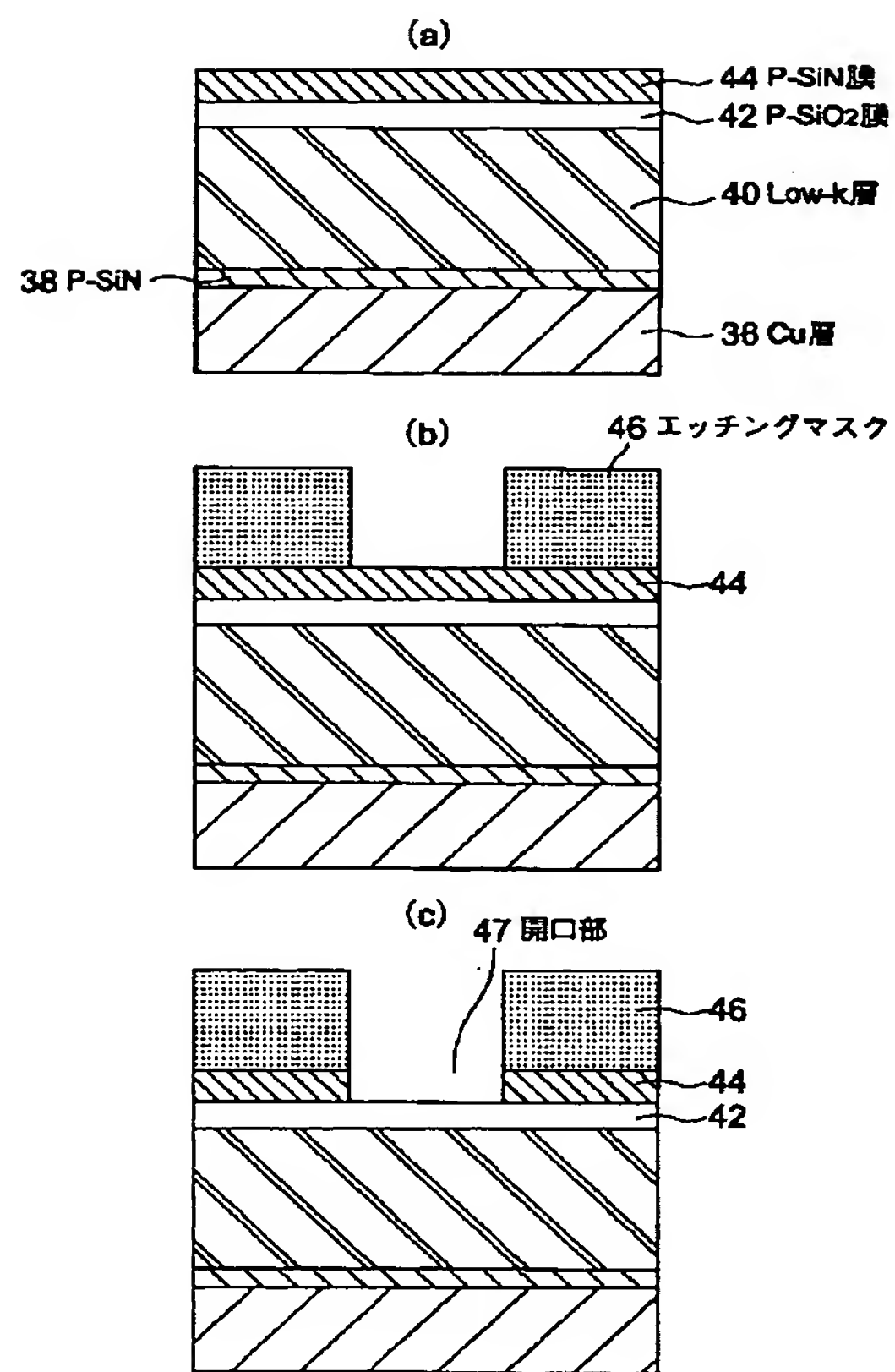
【図13】



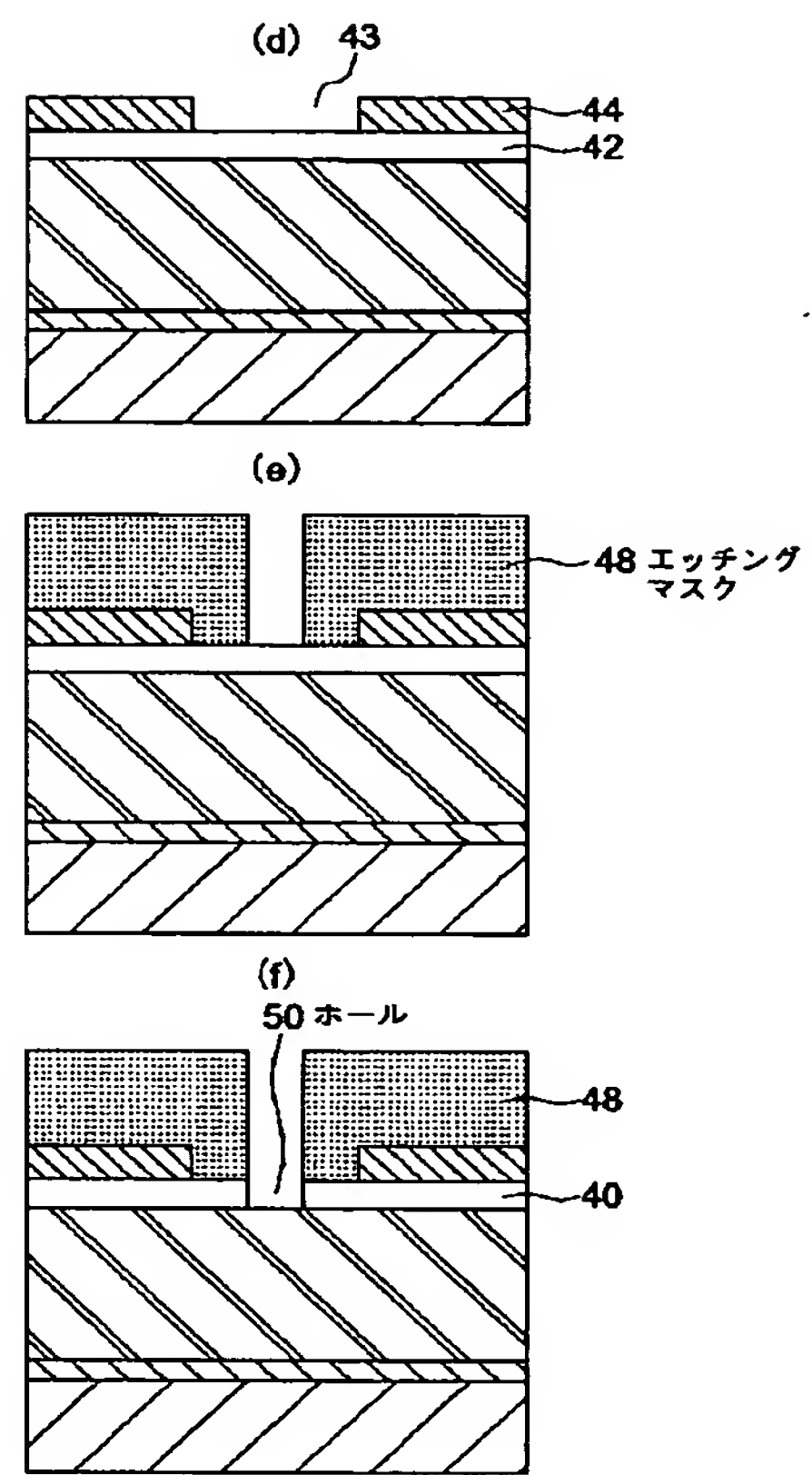
【図15】



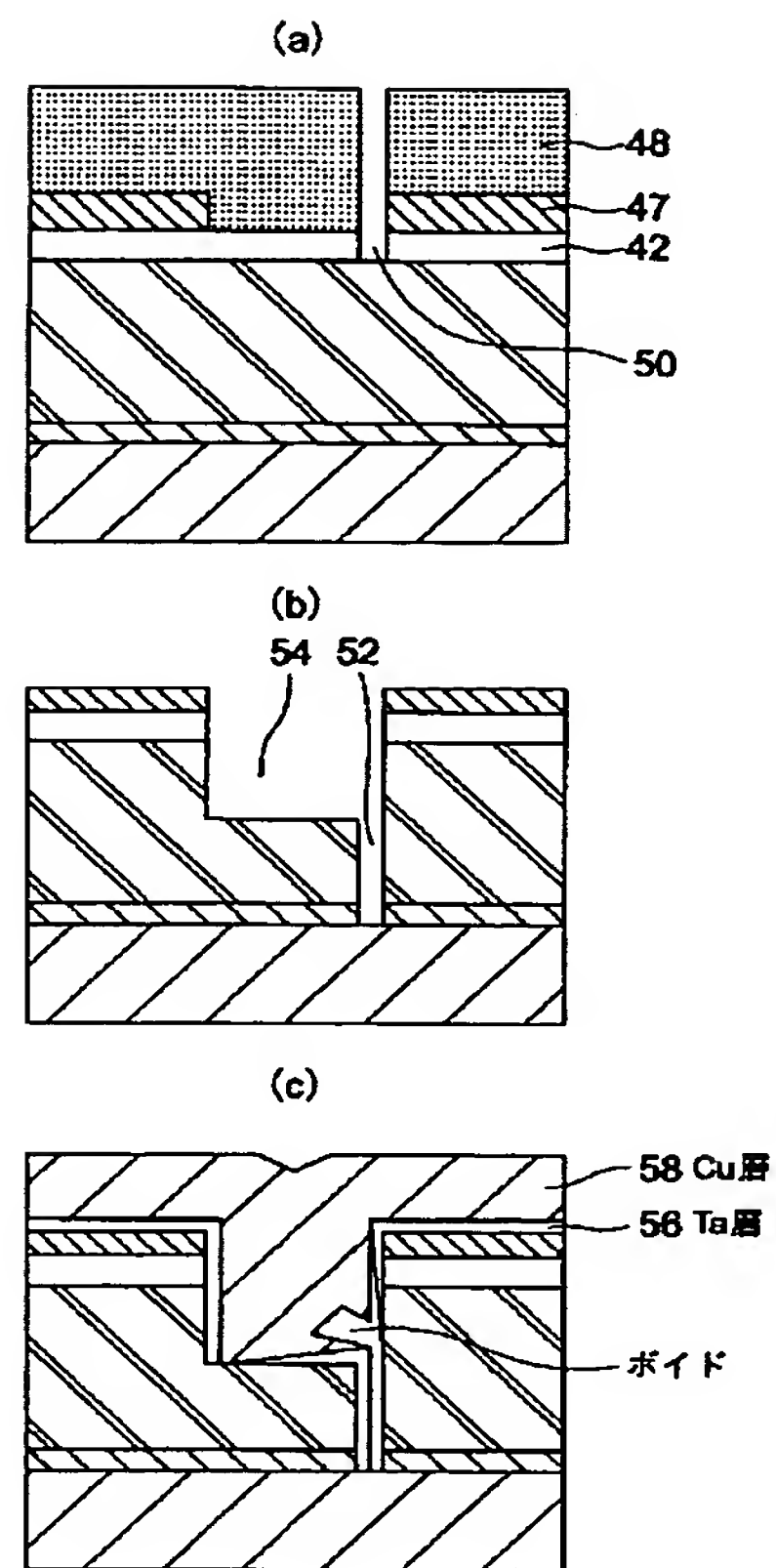
【図18】



【図19】



【図22】



フロントページの続き

F ターム(参考) 5F033 HH11 HH21 JJ11 JJ21 KK11
 MM02 MM12 MM13 NN06 NN07
 PP15 PP27 QQ04 QQ09 QQ10
 QQ21 QQ25 QQ28 QQ30 QQ37
 QQ48 RR01 RR04 RR06 RR21
 RR23 RR25 SS15 TT04 XX15
 XX28

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.